

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-251647

(43)公開日 平成5年(1993)9月28日

Jc929 U.S. PTO
09/802886
03/12/01

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/06				
21/76	L	9169-4M		
21/80		8617-4M		
		7342-4M	H 0 1 L 27/ 06	3 2 1 C

審査請求 未請求 請求項の数16(全 44 頁)

(21)出願番号 特願平4-48705

(22)出願日 平成4年(1992)3月5日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 深見 彰

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 渡辺 篤雄

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 小野瀬 保夫

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(74)代理人 弁理士 武 顕次郎

最終頁に続く

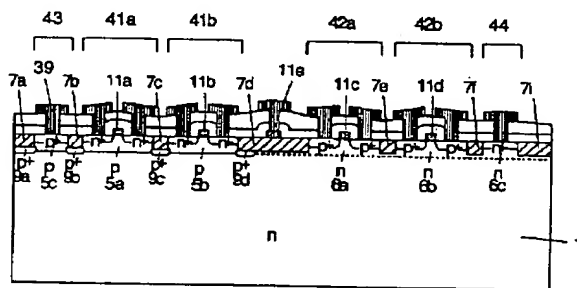
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 MOSFETを含む半導体集積回路装置において、異種素子間では浅いウエルによりウエルの横方向の広がりを抑えて素子分離幅を短くし、同種の素子での所望の領域ではウエル間を低抵抗で接続し、素子特性を均一化する。

【構成】 n型Si基板1上に複数個のnMOSFET 41a、41bが形成されている。7a~7iは素子分離絶縁層であり、11a~11dは各MOSFETのゲート電極である。pウエル5cと5a及び5aと5bの間、即ち素子分離絶縁層7bと7cの下には、これらのウエルを接続するp+半導体層9b及び9cが存在している。これらのp+半導体層とn型Si基板1とのpn接合の位置は、pウエル5c、5a及び5bとn型Si基板1とのpn接合の位置よりも深くなっており、ウエル間を低抵抗で接続している。また、隣合う異種の素子であるpMOSFET 42a、42bとの素子分離絶縁層7dは、ウエルの横方向の広がりを抑え、素子間の分離幅を短縮させている。

図1



【特許請求の範囲】

【請求項1】 電界効果型半導体素子を含む半導体集積回路装置において、半導体基板上に、該半導体基板とは異なる導電型の複数個のウェル内に形成した複数個の絶縁ゲート電界効果トランジスタと、前記複数個のウェルを接続する半導体層であって、前記ウェルと同一導電型で、前記半導体基板との接合部が、前記ウェルと前記半導体基板との接合部と同一平面にない半導体層と、前記半導体基板と同一導電型の複数個のウェル内に形成した複数個の絶縁ゲート電界効果トランジスタとを備えることを特徴とする半導体集積回路装置。

【請求項2】 電界効果型半導体素子を含む半導体集積回路装置において、半導体基板上に、該半導体基板とは異なる導電型の複数個のウェル内に形成した複数個の絶縁ゲート電界効果トランジスタと、前記複数個のウェルを接続する半導体層であって、前記ウェルと同一導電型で、前記半導体基板とのpn接合部が、前記ウェルと前記半導体基板との接合部と同一平面にない半導体層と、バイポーラトランジスタとを備えることを特徴とする半導体集積回路装置。

【請求項3】 電界効果型半導体素子を含む半導体集積回路装置において、半導体基板上に、該半導体基板とは異なる導電型の複数個のウェル内に形成した複数個の絶縁ゲート電界効果トランジスタと、前記複数個のウェルを接続する半導体層であって、前記ウェルと同一導電型で、前記半導体基板との接合部が、前記ウェルと前記半導体基板との接合部と同一平面にない半導体層と、前記半導体基板と同一導電型の複数個のウェル内に形成した複数個の絶縁ゲート電界効果トランジスタと、バイポーラトランジスタとを備えることを特徴とする半導体集積回路装置。

【請求項4】 前記半導体基板とは異なる導電型の複数個のウェル内に形成した複数個の絶縁ゲート電界効果トランジスタと前記半導体基板と同一導電型の複数個のウェル内に形成した複数個の絶縁ゲート電界効果トランジスタとの間に、前記半導体基板とは異なる導電型の複数個のウェルの表面からの深さよりも深い位置に達する絶縁分離層を備えたことを特徴とする請求項2または3記載の半導体集積回路装置。

【請求項5】 前記半導体基板とは異なる導電型の複数個のウェル内に形成した複数個の絶縁ゲート電界効果トランジスタまたは前記半導体基板と同一導電型の複数個のウェル内に形成した複数個の絶縁ゲート電界効果トランジスタと、前記バイポーラトランジスタとの間に、前記半導体基板とは異なる導電型の複数個のウェルの表面からの深さよりも深い位置に達する絶縁分離層を備えたことを特徴とする請求項3記載の半導体集積回路装置。

【請求項6】 前記半導体基板とは異なる導電型の複数個のウェル内に形成した複数個の絶縁ゲート電界効果トランジスタと、前記半導体基板と同一導電型の複数個の

ウェル内に形成した複数個の絶縁ゲート電界効果トランジスタと、前記バイポーラトランジスタとのそれぞれ間に、前記半導体基板とは異なる導電型の複数個のウェルの表面からの深さよりも深い位置に達する絶縁分離層を備えたことを特徴とする請求項3記載の半導体集積回路装置。

【請求項7】 前記半導体基板の下部に、前記深い位置に達する絶縁分離層に接する絶縁層を備えることを特徴とする請求項4、5または6記載の半導体集積回路装置。

【請求項8】 前記複数個のウェルを接続する半導体層は、前記半導体基板との接合部が、前記ウェルと前記半導体基板との接合部より深い位置となるように形成されていることを特徴とする請求項1ないし7のうち1記載の半導体集積回路装置。

【請求項9】 前記複数個のウェルを接続する半導体層は、ウェルより高不純物濃度に形成されていることを特徴とする請求項1ないし7のうち1記載の半導体集積回路装置。

【請求項10】 前記複数個のウェルを接続する半導体層は、ウェルより低抵抗率の半導体層であることを特徴とする請求項1ないし7のうち1記載の半導体集積回路装置。

【請求項11】 前記複数個のウェルを接続する半導体層は、素子間を分離するために、半導体基板表面から、前記ウェルと該ウェルと反対導電型の半導体基板の接合位置より浅く設けられた素子分離絶縁層の下部に設けられることを特徴とする請求項1ないし10のうち1記載の半導体集積回路装置。

【請求項12】 前記半導体基板とは異なる導電型の複数個のウェルの前記半導体基板に接する部分が他の部分より高不純物濃度とされていることを特徴とする請求項1ないし11のうち1記載の半導体集積回路装置。

【請求項13】 半導体基板の表面に、異なる導電型の半導体層が混在しており、それぞれの半導体層上に、その半導体層と同一の導電型の複数個のウェル内に形成された複数個の絶縁ゲート電界効果トランジスタを備えることを特徴とする半導体集積回路装置。

【請求項14】 請求項1ないし13のうち1記載の半導体集積回路装置を使用して構成したことを特徴とするマイクロプロセッサ。

【請求項15】 請求項1ないし13のうち1記載の半導体集積回路装置を使用して構成したことを特徴とする半導体メモリ。

【請求項16】 半導体基板または単一の導電型の埋込層を有するエピタキシャル半導体基板の表面に溝を形成した後に、前記半導体基板または埋込層と異なる導電型を与える不純物を前記溝の底に導入することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置に係り、特に、電界効果型半導体装置を含む半導体集積回路装置に関する。

【0002】

【従来の技術】デバイスを小さい面積のチップ上に多数設けること、すなわち、LSIの高集積化は、メモリ容量の増加、論理ゲート数の増加、チップの小型化等にメリットをもたらす。

【0003】一般に、絶縁ゲートトランジスタ（通常、絶縁膜として酸化膜を用いた金属酸化膜半導体電界効果トランジスタを使用することが多いので、以下ではMOSFETの呼称を用いる）を含むLSIは、内部に形成される素子相互間の分離幅が製造装置やプロセスに起因した制約を受け、この分離幅は、最少加工寸法で規定される。

【0004】また、相補型MOSFET（以後、CMOSFETと呼ぶ）含むLSIは、これらの各素子がそれぞれのウェル（nチャネルMOSFETではp型半導体領域、pチャネルMOSFETではn型半導体領域のこと）に作られるため、それぞれのウェルを作るときの不純物の拡散（横方向拡散）、マスク合わせ余裕の問題から異種間のMOSFET間の分離幅を広くとる必要があり、高集積化を行うことが困難である。

【0005】ウェルの横方向への広がりを抑えて異種の素子間の分離幅を短くするための従来技術として、例えば、特開平3-145759号公報等に記載された技術が知られている。

【0006】この従来技術は、pn接合による分離を用いる代わりに、素子間に絶縁物を介在させる方法であり、この絶縁物により、ウェルを形成する不純物の横方向への拡散を防止しようとするものである。そして、この従来技術は、バイポーラ及び相補金属酸化膜半導体装置（以後、BiCMOSと呼ぶ）を含むLSIにおいて、バイポーラ・トランジスタ用のn型埋込層をチップ全面に形成し、さらに、素子間にn型埋込層を貫通する絶縁用溝を設けた構造としたものである。

【0007】

【発明が解決しようとする課題】LSIの内部に形成される素子間の分離幅を短くすることは、前述した公報に記載された従来技術により可能である。

【0008】しかし、LSIにおいては、ただ素子の間を電気的に分離すればよい場合だけでなく、同種の複数個の素子、例えば、nMOSFETであれば同じウェルの中に複数の素子を作り込み、各nMOSFETのウェル電位を等しくしたい場合がある。

【0009】この場合、前記公報に記載された従来技術は、同種の素子相互間に、ウェルの下部に形成されているこのウェルと異なる導電型の半導体層にまで達する絶縁用溝を設けているので、ウェルが電気的に分離されて

しまい、ウェルの電位を共通にすることができなくなるという問題点を生じさせてしまう。

【0010】そこで、異種のMOSFETの相互間には深い絶縁用溝を設けるが、同種のMOSFETの相互間には絶縁用溝を設けず、異なる導電型の半導体層までは到達しない程度の絶縁用溝、フィールド酸化膜等を用いることが考えられる。この場合、絶縁用溝を形成した後には深いウェルを形成するための高音長時間の熱処理を行うことは、結晶欠陥を誘発する原因となる。

【0011】また、近年のLSIは、内部素子の微細化を図ることを考慮して、製造工程における熱処理が低減される方向にあり、これらの理由により、ウェルが浅くなる傾向にある。また、LSIの性能向上（高速化）を考慮すると、配線と半導体層との間の容量低減のために、従来と同等かそれ以上厚いフィールド酸化膜を確保しなければならない。

【0012】従って、これらの2つの条件を満たすLSIは、フィールド酸化膜の下部でウェルを電気的に接続する層の抵抗が高くなり、このため、各MOSFETのウェル相互間に電位差が生じ、MOSFETの特性がばらつくという問題が生じる。

【0013】本発明の目的は、MOSFETを含む半導体集積回路装置において、①異種素子間では素子分離幅を短くして集積回路装置の高集積化を図り、②同種の素子のウェル電位を等しくして、素子の特性の均一化を図る、新たなウェル及び絶縁分離構造を備えた半導体集積回路装置を提供することにある。

【0014】

【課題を解決するための手段】本発明によれば前記目的の①は、異種素子間の分離幅を短くするために、ウェルを浅くして、ウェルの横方向の広がりを抑えることにより達成される。

【0015】また、前記目的の②は、同種素子間のウェルの電気的な接続を保ち、かつ、ウェルの抵抗を高めないようにするために、ウェル下部に形成されている該ウェルと異なる導電型の半導体層までは到達しない程度の素子間絶縁層を設け、さらに、その絶縁層の下にウェルと同じ導電型の半導体層を、ウェルと該ウェルの下部に形成されている異なる導電型の半導体層との接合位置とは異なる位置まで設けることにより達成される。

【0016】また、前記目的の②は、ウェル下部に形成される異なる導電型の半導体層までは到達しない程度の素子間絶縁層を設け、さらに、その絶縁層の下にウェルと同じ導電型で、かつ、ウェルよりも不純物濃度の高い、すなわち、抵抗率の小さい半導体層を設けることにより達成される。

【0017】さらに、前記目的の②は、ウェル下部に形成される異なる導電型の半導体層までは到達しない程度の素子間絶縁層を設け、ウェル及び素子間絶縁層の下方にウェルと同じ導電型で、かつ、ウェルよりも抵抗率の

小さい半導体層を設けることにより達成される。

【0018】また、前述の構造は、素子間の分離溝を形成した後、あるいは、素子間の絶縁層を形成した後に、イオン打込み等で所望の領域にウエルと同種の導電型を与える不純物を導入することにより実現できる。

【0019】

【作用】同種の素子を分離し、かつ、同種の各ウエルを電氣的に分離しないように、ウエル下部に形成されている該ウエルと異なる導電型の半導体層までは到達しない程度の素子間絶縁層を設けると、素子間絶縁層とウエルと異なる導電型の半導体層とにより挟まれた部分のウエルの抵抗が高くなる。

【0020】本発明は、前述したように、その素子間絶縁層の下にウエルと同じ導電型の半導体層を、ウエルと該ウエルと異なる導電型の半導体層との接合位置よりも深く設けて、この部分の半導体層の抵抗値を下げているので、この半導体層により接続されるウエルが低抵抗で接続されることになり、両ウエルの電位を等しくすることが可能になる。

【0021】また、素子間絶縁層の下にウエルと同じ導電型で、かつ、ウエルよりも不純物濃度の高いすなわち抵抗率の小さい半導体層を設けることにより、この半導体層により接続されるウエルを低抵抗で接続することができる。この場合、素子間絶縁層とウエルと異なる導電型の半導体層とにより挟まれた前記素子間絶縁層の下に設けた半導体層の厚さが、素子領域のウエルの層の厚さよりも薄くても、前記素子間絶縁層の下に設けた半導体層の抵抗を、その抵抗率が低い分だけ小さくすることができ、この半導体層で接続されるウエルの電位を等しくすることができる。

【0022】また、ウエルと同じ導電型で、かつ、ウエルよりも抵抗率の小さい半導体層を素子間絶縁層の下だけでなく、ウエルの下部にまで設けた場合にも、前述と同様に、この半導体層で接続されるウエルの電位を等しくすることができる。

【0023】また、前記素子間絶縁層を形成する素子間の分離溝を溝加工した後、イオン打ち込み法等で所定の領域にウエルと同種の導電型を与えるイオンを、そのイオン打ち込みのエネルギー、ドーズ量の条件を設定して導入することにより、絶縁層の下にウエルと同じ導電型の半導体層を、ウエルとウエルとは異なる導電型の半導体層との接合位置よりも深く、あるいは、ウエルよりも抵抗率を小さくして設けることができる。

【0024】

【実施例】以下、本発明による半導体集積回路装置の実施例を図面により詳細に説明する。

【0025】図1は本発明の第1の実施例を説明する図であり、図1(a)はその断面図、図1(b)はその平面図、図1(c)はその回路例を示す図、図1(d)は応用例を示すマイクロプロセッサのブロック図である。

図1において、1はn型シリコン基板、5a~5cはpウエル、6a~6cはnウエル、7a~7f、7iは素子分離絶縁層、9a~9dはp+半導体層、11a~11dはゲート電極、39はメタル電極、41a、41bはnMOSFET、42a、42bはpMOSFET、43、44は給電部である。

【0026】図1に示す本発明の第1の実施例は、図1(a)に示すように、n型シリコン(以下、Siと記す)基板1上に複数個(図では2個)のnMOSFET 41a、41b及び複数個(図では2個)のpMOSFET 42a、42bを形成したものである。そして、nMOSFET 41a、41bが形成されるpウエルに対するウエル電位の給電部43及びpMOSFET 42a、42bが形成されるnウエルに対するウエル電位の給電部44が設けられている。

【0027】各MOSFETは、pウエルとn型Si基板との接合位置には達しない深さの溝状に形成された素子分離絶縁層7a~7f、7iにより分離されており、各nMOSFET 41a、41bは、ゲート電極11a、11bを備え、各pMOSFET 42a、42bは、ゲート電極11c、11dを備えて構成されている。これらのゲート電極は、素子分離絶縁層上の配線11eに接続されている。

【0028】n型Si基板1と異なる導電型のウエルであるpウエル5c、5a及び5bのそれぞれの間、すなわち、素子分離絶縁層7b及び7cの下にはp+(p型半導体で不純物濃度の高いもの、この場合はpウエルよりも濃度が高い)半導体層9b及び9cが存在しており、これらp+半導体層9b及び9cとn型Si基板1とによるpn接合の位置は、pウエル5c、5a及び5bとn型Si基板1とによるpn接合の位置よりも深くなっている。そして、このp+半導体層9b及び9cにより各pウエル5c、5a及び5bは、相互に電氣的に接続されている。

【0029】ここで、p+半導体層9b及び9cとn型Si基板1とによるpn接合の位置が、pウエル5c、5a及び5bとn型Si基板1とによるpn接合の位置よりも深くなっているのは、p+半導体層9b及び9cの層の厚さを増すことによりその電気抵抗を低減させるためである。もし、このp+半導体層9b及び9cの電気抵抗が高ければ、pウエル電位の給電部43からある電位が与えられた場合に、p+半導体層9bまたは9cの抵抗に起因する電圧降下により、pウエル5cとpウエル5a及び5bの電位が異なってくる。

【0030】本発明の第1の実施例は、前述のように、p+半導体層9b及び9cの抵抗を低減することができるので、pウエル5cとpウエル5a及び5bの電位を等しくすることができる。また、p+半導体層9a及び9dは、pウエル5c、5a及び5bの接続の役には立たないが、さらに隣合うpウエルが存在する場合の接続

のために必要である。従って、それぞれのpウエルの周囲にp+半導体層を設けておくレイアウトが好ましい。

【0031】なお、前述した本発明の第1の実施例は、pウエル5a～5cよりも不純物濃度が高いp+半導体層9a～9dを使用するとしたが、このp+半導体層9a～9dの不純物濃度は、その厚さによっては必ずしもウエルの不純物濃度よりも高くする必要はなく同等であってもよい。また、pMOSFET42a、42bが形成されるnウエル6aとnウエル6bとは、n型Si基板1でnウエル電位の給電部44のnウエル6cと接続されており、新たに接続のための半導体層を設ける必要はない。

【0032】一般に、CMOSは、複数の同種のMOSFETを1つの大きなウエルに形成し、しかも、ウエル抵抗を低く保ちラッチアップを防止するために深いウエルを使用するが、本発明の第1の実施例は、図1(a)の断面図に示すようにその必要はなく、ウエルの横方向の広がりを抑えることができるため、異種素子間の分離幅も短くすることができる。

【0033】図1(b)は、図1(a)の断面構造に対応する平面図であり、図1(c)の回路図に示すCMOSインバータチェーンを例としたものである。そして、図1(b)に示すA-A'、B-B'、C-C'、D-D'、E-E'の部分をつなげたものが図1(a)に示す断面図になる。

【0034】図1(b)において、太い直線51で囲まれた領域は、MOSFET、給電部等が形成されたアクティブ領域であり、それ以外の領域が、素子分離絶縁層で覆われた領域である。

【0035】そして、A-A'の部分は、図1(a)におけるnウエル電位の給電部44である。nウエル電位の給電部44とpMOSFET42bのソースとは、同電位にするために、1層目のメタル配線層53によって接続されている。B-B'の部分は、2個のpMOSFETを横切っており、図1(a)に示すpMOSFET42b、42aに対応する。

【0036】同様に、D-D'の部分は、2個のnMOSFETを横切っており、図1(a)に示すnMOSFET41b、41aに対応している。また、E-E'の部分は、pウエル電位の給電部43であり、この部分はnMOSFET41aのソースに接続されている。折線となっているC-C'の部分は、図1(a)におけるpMOSFET42aとnMOSFET41bとの間の部分に相当する。

【0037】pMOSFET42aのゲート電極11cとnMOSFET41bのゲート電極11bとは、それぞれ延長されて素子分離絶縁層上で一体となって1つのゲート電極配線層52とされており、このゲート電極配線層52に、前段のpMOSFET42b及びnMOSFET41aのドレインからの出力が1層目のメタル配

線層53によって接続されている。また、nウエル電位及びpウエル電位給電部44、43は、1層目のメタル配線層53で引き出された上で、2層目のメタル配線層54に接続されて給電されている。

【0038】また、既に説明したように、nMOSFET41aとnMOSFET41bとの間、nMOSFET41aとpウエル電位の給電部43との間等は、これらの素子を形成するpウエル間が素子分離絶縁層の下に設けられたp+半導体層によって接続されている。

【0039】なお、前述した本発明の第1の実施例において、pMOSFET42aとpMOSFET42bとの間、さらには、これらのpMOSFETとnウエル電位の給電部44との間以外の素子分離絶縁層の下に、p+半導体層が形成されていてもよい。

【0040】図1(d)は、前述した本発明の第1の実施例による半導体集積回路を使用した応用例を示すマイクロプロセッサのブロック図である。

【0041】マイクロプロセッサを構成する各ユニットは、それぞれ特有の回路構成を持つとしても、CMOSにより構成することができ、前述した本発明の第1の実施例による構造を使用して構成することができる。また、この実施例は、メモリ等に対しても使用することができる。さらに、後述する全ての本発明の実施例は、マイクロプロセッサ、メモリ等を構成するために使用することができる。

【0042】図2は本発明の第2の実施例を説明する図であり、図2(a)はその断面図、図2(b)はその平面図、図2(c)はその回路例を示す図である。図2において、2はp型Si基板、3はn+埋込層、7g、7hは素子分離絶縁層、12aはベース引出し電極、13aはコレクタ引上げ層、14aはコレクタ、15aは真性ベース、16aはエミッタ、17aはエミッタ電極、45aはnpnバイポーラトランジスタである。

【0043】図2に示す本発明の第2の実施例は、本発明をBiCMOSに応用した例であり、p型Si基板2の表面にn+埋込層3を形成した基板を用いて、この上にCMOSとnpnバイポーラトランジスタを形成したものである。CMOSの部分は、基板構造がn+埋込層/p型Si基板となっている点で異なるが、その他は第1の実施例と同一であり、pウエル間の接続という作用においても図1(a)と同等である。但し、nウエル電位の給電部44は、後述する図2(c)に示す回路図のようなBiNMOS回路としたとき、npnバイポーラトランジスタ45aのコレクタ電位引上げ層13aと共通化できるため省略されている。

【0044】図2(a)において、npnバイポーラトランジスタ45aは、縦型バイポーラトランジスタであり、エミッタ電極17aの下にエミッタ16a、真性ベース15a、コレクタ14aが位置して構成されており、コレクタは、n+埋込層3とコレクタ引上げ層13

aとによって金属電極に接続されて構成されている。

【0045】なお、図2に示す本発明の第2の実施例は、ベース引出し電極12aを使用した、自己整合型バイポーラトランジスタを例としているが、本発明が適用されるBiCMOSに使用されるトランジスタは、特にこれにこだわることはなくどのような形式のバイポーラトランジスタであってもよい。

【0046】図2(a)に示す本発明の第2の実施例の断面構造に対応する平面図が図2(b)に示されており、この例は、図2(c)の回路図に示すBiNMOSインバータチェーンを例としたものである。そして、図2(b)中のA-A'、B-B'、C-C'、D-D'、E-E'の部分をつなげたものが図2(a)の断面図になる。

【0047】図2(b)において、A-A'の部分は、図2(a)におけるnpnバイポーラトランジスタ45aの部分である。B-B'以下E-E'までの部分は、前述した本発明の第1の実施例と同一のCMOSの部分である。但し、図2(a)の断面図においては、図2(c)の回路図におけるnMOSFET41c、41dの図示が省略されている。

【0048】この本発明の第2の実施例が第1の実施例の図1(b)と大きく相違する点は、npnバイポーラトランジスタ45aが追加されたことと、そのためnpnバイポーラトランジスタとMOSFETとの間に1層目のメタル配線層53による接続が付加された点である。また、前段の出力は、2層目のメタル配線54によって次段に接続されている。

【0049】なお、前述の実施例は、CMOSとnpnバイポーラトランジスタとの組み合わせであったが、回路構成によっては、例えば、CMOSとnpnバイポーラトランジスタとの組み合わせでも可能である。さらに、後述するBiCMOSの全ての実施例は、1種のMOSFETとバイポーラとの組み合わせによるBiMOSであってもよい。

【0050】図3は本発明の第3の実施例を説明する図であり、図3(a)はその断面図、図3(b)はその平面図である。図3において、8a、8bは素子分離絶縁溝であり、他の符号は図1の場合と同一である。

【0051】この本発明の第3の実施例は、本発明をCMOSに適用した例であり、図1により説明した本発明の第1の実施例が、図1(a)に示すように、nMOSFET41a、41bとpMOSFET41a、41bとの間の素子分離のために浅い素子分離絶縁層7dのみを用いているのに対し、さらに深い素子分離絶縁溝8a、8bを併用して構成したものである。

【0052】一般に、CMOS構造は、nMOSFETとpMOSFETとを隣合わせにして構成すると、pMOSFETのソースからnMOSFETのソースにかけてpnnp構造ができ、ラッチアップが生じる恐れがあ

る。このため、CMOS構造は、このラッチアップが起こらないように、この間の素子分離間隔を広くとる必要がある。

【0053】本発明の第3の実施例は、異種素子間の分離に、前述した深い素子分離絶縁溝8a、8bを用いることにより、nMOSFETとpMOSFETとの素子分離間隔を小さくできるようにしたものである。

【0054】図3(b)は、図3(a)の断面構造に対応する平面図であり、前述した本発明の第1の実施例と同じく図1(c)の回路図に示すCMOSインバータチェーンを例としたものである。図3(b)において、前述した深い素子分離絶縁溝8a、8bが素子分離絶縁溝55として示されている。図3(b)におけるA-A'、B-B'、C-C'、D-D'、E-E'の部分をつなげたものが図3(a)の断面図になる。

【0055】この本発明の第3の実施例が第1の実施例の図1(b)と大きく相違する点は、素子分離絶縁溝55が加わったことである。素子分離絶縁溝55が付加されたことにより、本発明の第3の実施例は、nMOSFETとpMOSFETとの間隔を図1(b)に示す場合より小さくすることができ、半導体集積回路装置の高集積化を図ることができる。

【0056】素子分離絶縁溝55は、図3(b)に示すように、並んだ複数個のpMOSFET全体を取り囲むものであってもよいし、個々のpMOSFETをそれぞれ取り囲むものであってもよい。そして、いずれにしても、図3(a)における素子分離絶縁溝8a、8bは、一体に連続したものである。

【0057】図4は本発明の第4の実施例を説明する図であり、図4(a)はその断面図、図4(b)はその平面図である。図4において、8cは素子分離絶縁溝であり、他の符号は図3の場合と同一である。

【0058】この本発明の第4の実施例は、本発明をBiCMOSに応用した例であり、前述した本発明の第2の実施例と同様にp型Si基板2の表面にn⁺埋込層3を形成した基板を用いて、この上にCMOSとnpnバイポーラトランジスタとを形成したものである。

【0059】この本発明の第4の実施例が第2の実施例と相違する点は、nMOSFET41a、41bとpMOSFET42a、42bとの間の素子分離のために、n埋込層3を貫通してp型Si基板2にまで達するように深く形成された素子分離絶縁溝8a、8cを併用している点である。この素子分離絶縁溝8a、8cを備えることにより、本発明の第4の実施例は、nMOSFET41a、41bとpMOSFET42a、42bとの間の素子分離間隔を小さくすることができる。但し、図4(b)に示した平面図からも判るように、この第4の実施例がBiNMOS回路に適用するものであるため、pMOSFET42a、42bが形成されるnウェル6a、6bとnpnバイポーラトランジスタ45aのコレ

クタ14aとが同電位であってよく、そのため、pMOSFETとnpnバイポーラトランジスタの間には素子分離絶縁溝を設けていない。

【0060】図4(b)は、図4(a)に示す断面構造に対応する平面図であり、前述した本発明の第2の実施例と同様に図2(c)の回路図に示すBiNMOSインバータチェーンを例としたものであり、この図には、図4(a)に示した深い素子分離絶縁溝8a、8cが素子分離絶縁溝55として示されている。そして、図4(b)におけるA-A'、B-B'、C-C'、D-D'、E-E'の部分をつなげたものが図4(a)に示す断面図になる。

【0061】そして、この本発明の第4の実施例の平面構造が第2の実施例の図2(b)と大きく相違する点は、素子分離絶縁溝55が加わったことである。素子分離絶縁溝55が付加されたことにより、本発明の第4の実施例は、nMOSFET41a、41bとpMOSFET42a、42bとの間隔を、図2(b)に示す場合よりも近づけることができる。

【0062】前述した本発明の第4の実施例は、素子分離絶縁溝55を並んだ複数個のpMOSFET42a、42bとnpnバイポーラトランジスタ45a全体を取り囲むものとなっているが、本発明は、一対のpMOSFETとnpnバイポーラトランジスタとのそれぞれを取り囲むように素子分離絶縁溝を設けるようにしてもよい。

【0063】図5は本発明の第5の実施例を説明する図であり、図5(a)はその断面図、図5(b)はその平面図である。図の符号は図3、図4の場合と同一である。

【0064】この本発明の第5の実施例は、本発明をBiCMOSに適用した例であるが、前述した本発明の第4の実施例とは違って、素子分離絶縁溝8b、8cをnpnバイポーラトランジスタの素子分離にのみ用いたものである。

【0065】こうしたことによる効果は、npnバイポーラトランジスタのコレクター基板間容量の低減にある。すなわち、素子分離絶縁溝8b、8cは、既に他の実施例で説明したと同様に、実はnpnバイポーラトランジスタの周囲を取り囲んでいるものであって、これにより低濃度コレクタ層14aの下にn+埋込層3とp型Si基板2とによる接合面積を減少させ、ひいては接合容量を下げるができる。

【0066】図5(b)は、図5(a)に示す断面構造に対応する平面図であり、第2の実施例の場合と同様に、図2(c)の回路図に示すBiNMOSインバータチェーンを例としたものである。そして、図5(b)におけるA-A'、B-B'、C-C'、D-D'、E-E'の部分をつなげたものが図5(a)に示す断面図になる。

【0067】図2(c)に示す回路を本発明の第5の実施例により構成した場合、コレクタ基板容量を低減した効果は回路性能上にはみられない。しかし、例えば、ECL-CMOSインターフェースを同一チップ上に作成して、ECL(Emitter Coupled Logic)の入出力レベルの信号を取り扱う場合には、素子分離溝を用いた構造のnpnバイポーラトランジスタをそのインターフェースにも使用することになり、その回路遅延時間を大きく短縮することができる。

【0068】図6は本発明の第6の実施例を説明する断面図であり、本発明をBiCMOSに適用した例である。

【0069】この本発明の第6の実施例は、前述した本発明の第5の実施例に適用したnpnバイポーラトランジスタ45aに対する素子分離絶縁溝8b、8cに加えて、さらに、本発明の第4の実施例で説明したpMOSFET42a、42bに対する素子分離絶縁溝8aをも設けたものである。

【0070】このような本発明の第6の実施例によれば、npnバイポーラトランジスタのコレクター基板間容量の低減に加えて、nMOSFETとpMOSFETとの間の素子分離間隔を短くすることができるという効果を奏することができる。

【0071】図7は本発明の第7の実施例を説明する断面図であり、本発明をBiCMOSに適用した例である。

【0072】この本発明の第7の実施例は、前述した本発明の第6の実施例がp型Si基板2を使用しているのに対して、SOI(Silicon on Insulator)基板を用いて構成したものである。すなわち、この実施例は、n+埋込層3の下部が全てSi酸化層18とされている基板を使用したものであり、素子絶縁分離溝8a~8cがSi酸化層18に到達するように設けられて構成されている。

【0073】この本発明の第7の実施例は、前述の構成により、nMOSFET41a、41b、pMOSFET42a、42b及びバイポーラトランジスタ45aを、それぞれ絶縁物により完全に分離することができる。また、SOI基板を使用することにより、CMOSにおける α 線によるソフトエラーの耐量を格段に向上させることができる。

【0074】なお、この本発明の第7の実施例において、pMOSFET42a、42bに対する素子分離絶縁溝8aを設けずに、前述した第5の実施例の場合のようにnpnバイポーラトランジスタ45aの素子分離のためにのみ素子分離絶縁溝8b、8cを設けるようにしてもよい。この場合、nMOSFET41a、41bとpMOSFET42a、42bの間隔は、素子分離絶縁溝8aを用いた場合よりも広がるが、 α 線に対する効果は変わらない。

【0075】前述した本発明の第1～第7の実施例は、nMOSFETが形成されるpウエルの下部にn型の半導体層があり、各pウエルを接続するp+半導体層が設けられているとして説明したが、逆に、本発明は、pMOSFETが形成されるnウエルの下部にp型の半導体層がある場合にも適用することができる。この場合、逆にnウエルを接続するn+半導体層が設けられることになる。

【0076】図8はこの考えに基づいた本発明の第8の実施例を説明する断面図である。図8において、10a～10dはn+半導体層であり、他の符号は図1の場合と同一である。

【0077】この本発明の本発明の第8の実施例は、本発明をCMOSに適用した例であり、本発明の第1の実施例における構造の半導体の導電型を全て反対導電型として構成したものである。

【0078】すなわち、この本発明の第8の実施例は、p型Si基板2上にpMOSFET42a、42bを形成するために設けられるnウエル6a、6b及び6cをn+半導体層10b及び10cによって接続して構成されている。

【0079】このようなnウエルを相互に接続するn+半導体層を設ける構造は、図8のCMOSを基本形として、これまでのpウエルを相互に接続するp+半導体層を設ける実施例である本発明の第1の実施例から第7の実施例までのCMOS及びBiCMOSに対して同様に適用することができ、ちょうどp型とn型が逆になった断面構造になる。

【0080】図9は本発明の第9の実施例の構成を説明する断面図であり、図の符号は図1の場合と同一である。

【0081】図9に示す本発明の第9の実施例は、n型Si基板1上に2個のnMOSFET41a、41bと2個のpMOSFET42a、42bとが形成されている点で図1により説明した本発明の第1の実施例と同一である。そして、この実施例においても、素子分離絶縁層7b及び7cの下に、図1の場合と同様にp+半導体層90b及び90cが設けられているが、この実施例では、p+半導体層90b及び90cとn型Si基板1とによるpn接合の位置が、pウエル5c、5a及び5bとn型Si基板1とによるpn接合の位置と同等とされている。しかも、この実施例では、p+半導体層90b及び90cは必ずpウエルよりも不純物濃度が高いことが必要である。

【0082】このp+半導体層90b及び90cの不純物濃度をpウエルの不純物濃度より高くすることにより、本発明の第9の実施例は、p+半導体層90b及び90cが前述のように厚さが薄い層であっても、この層の抵抗率をpウエルよりも低くすることができ、図1の場合と同等の効果をj得ることができる。

【0083】前述した本発明の第9の実施例に示すようなpウエルよりも不純物濃度が高く厚さが薄いp+半導体層を適用する構造は、図9に示すCMOSを基本形として、これまでに説明した接合位置の深いp+半導体層を備える実施例である本発明第1の実施例から第7の実施例までのCMOS及びBiCMOSの構造に対して適用することができるというまでもない。

【0084】また、逆に、p型半導体層上に形成したnウエル間に、該nウエルよりも不純物濃度が高く接合位置の浅いn+半導体層を設けてnウエルの接続に使用してもよい。

【0085】図10は本発明の第10の実施例を説明する断面図である。図10において、900はp+半導体層であり、他の符号は図1の場合と同一である。

【0086】図10に示す本発明の第10の実施例も、n型Si基板1上に2個のnMOSFET41a、41bと2個のpMOSFET42a、42bとが形成されている点で図1により説明した本発明の第1の実施例と同一である。

【0087】そして、本発明の第10の実施例は、素子分離絶縁層7a～7dの下部のみならず、pウエル5c、5a及び5bの下部にもp+半導体層が存在しており、1つのp+半導体層900が形成されている。この場合にも、pウエル相互間を低抵抗で接続できるという図1の場合と同様な効果を得ることができる。

【0088】前述した本発明の第10の実施例に示すようなpウエルの下部にもp+半導体層を設けた構造は、図10に示したCMOSを基本形として、これまでに説明した接合位置の深いp+半導体層を備える実施例である本発明第1の実施例から第7の実施例までのCMOS及びBiCMOSの構造に対して適用することができるというまでもない。

【0089】また、逆に、p型半導体層上にnウエルを形成し、そのnウエルの下部と素子分離絶縁層下部にn+半導体層を形成した構造としてもよい。

【0090】図11は本発明の第11の実施例を説明する断面図であり、図の符号は図1の場合と同一である。

【0091】前述した本発明の第1～第10の実施例は、ウエルの下に異なる導電型の半導体基板または埋込層が存在する構造の半導体装置であったが、本発明の第11の実施例は、ウエルの下部あるいは下部の一部に、ウエルと同一の導電型の半導体層を存在させたCMOSの例である。

【0092】図11に示す本発明第11の実施例は、p型Si基板2上にn+埋込層3が形成されている領域とn+埋込層のない領域とを混在させ、p型Si基板2側にpウエル5a～5c、nMOSFET41a、41bを形成し、n+埋込層3側にnウエル6a～6c、pMOSFET42a、42bを形成したものである。そして、この実施例では、nMOSFET41bとpMOS

FET 42 a との間の素子分離絶縁層 7 d が短いため、 n^+ 埋込層 3 は nMOSFET の p ウェル 5 b の下まではみ出して設けられている。

【0093】この本発明の第 1 の実施例は、p ウェル 5 c、5 a 及び 5 b の下が p 型基板になっているので、p ウェル 5 a と 5 b とを接続するための新たな層を追加する必要がなく、また、n ウェル 6 a、6 b 及び 6 c の下が前述の実施例の場合に既に説明しているように n^+ 埋込層であるので、やはり、ウェル間を接続する半導体層が不要なものである。

【0094】前述した本発明の第 1 の実施例の構造は、図 11 に示した CMOS を基本形として、これに素子分離絶縁溝やバイポーラトランジスタを組み合わせ、これまでに説明した接合位置の深い p^+ 半導体層を備える実施例である本発明第 1 の実施例から第 7 の実施例までの CMOS 及び BiCMOS の構造に対して適用することができることはいうまでもない。

【0095】次に、前述した本発明の実施例による半導体装置を実現するための製造方法を説明する。

【0096】図 12 は図 6 により説明した BiCMOS の構造を用いた製造工程の断面図であり、以下、この図を参照して製造方法を説明する。

【0097】(1) まず、出発材料として p 型 Si 基板 2 を用意し、その上に Si を n 型化する不純物、例えば、Sb を拡散させて p 型 Si 基板 2 の表面に高不純物濃度 (10^{19}cm^{-3} 以上) の n^+ 埋込層 3 を形成し、さらにその上にエピタキシャル Si 層 21 を形成する〔図 12 (a)〕。

【0098】(2) 次に、エピタキシャル Si 層 21 の表面を酸化し、表面に Si 酸化膜 (以下、単に酸化膜という) 22 を形成し、さらに、その上に Si 窒化膜 23 を堆積する。その後、ホトリソグラフィ及びエッチングにより、各素子を分離するための溝 27 を、 n^+ 埋込層 3 に達しない深さに設け、さらに、溝 27 の内側に露出した Si を酸化して溝内酸化膜 24 を形成する〔図 12 (b)〕。

【0099】(3) 次に、nMOSFET 間のウェルを接続するための p 型半導体層を形成するために、p 型層を作らない領域のみをホトレジスト 25 でマスクし、Si を p 型化する不純物をイオン打ち込み法により導入する。本発明の実施例では、ボロンイオン 26 を打ち込む。この場合、ボロンイオンは、ホトレジスト 25 のない部分においても、Si 窒化膜 23 の下には達せず、溝 27 の底部にのみ打ち込まれる。このときの打ち込みエネルギーとドーズ量とは、溝 27 の底部から n^+ 埋込層 3 の上部を p 型化することのできる値に設定される〔図 12 (c)〕。

【0100】(4) この後、ホトレジスト 25 を削除し、p 型 Si 基板 2 に達する深い溝を形成した後に、それぞれの溝 27 に絶縁物、例えば、CVD 法による Si

酸化物を充填して、素子分離絶縁層 7 a、7 b、7 c、7 d、7 e、7 f、7 g、7 h 及び 7 i、素子分離絶縁溝 8 a、8 b 及び 8 c を形成し、さらに、Si 窒化膜 23 を除去して、所定の領域に所定の不純物をイオン打ち込みすることにより nMOSFET に対する p ウェル 5 c、5 a 及び 5 b、pMOSFET に対する n ウェル 6 a、6 b 及び 6 c を形成する。同時に、縦型バイポーラトランジスタをも作製するため、コレクタ引き出し層 13 a を形成する。その後、熱処理を行うことにより、前記ウェル及びコレクタ引き出し層を活性化すると共に、前述でイオン打ち込みされたボロンを拡散活性化させて、p 型半導体層 9 a、9 b、9 c 及び 9 d を形成する〔図 12 (d)〕。

【0101】(5) 次に、MOSFET 用のゲート酸化膜 29 を形成した後、ポリ Si 30 を膜付けする。このポリ Si 30 は、MOSFET のゲート電極とバイポーラトランジスタのベース引き出し電極になるものである。ポリ Si 30 の導電型は、MOSFET に対しては、 n 型でも p 型でもよい。本発明の実施例のバイポーラトランジスタは npn であるため、ベース引き出し電極としては p 型が要求される。そこでポリ Si 30 の導電型は p 型とする方が簡単である。但し、ポリ Si 30 の導電型を MOSFET では n 型に作り分けることも可能である〔図 12 (e)〕。

【0102】(6) ポリ Si 30 とゲート酸化膜 29 とをホトレジストを使用し選択的にエッチングすることにより、MOSFET のゲート電極 11 a、11 b、11 c、11 d 及び 11 e とバイポーラトランジスタのベース電極 12 a とを加工する。但し、この状態のベース電極の形状はまだ完全なものではない〔図 12 (f)〕。

【0103】(7) ホトレジストを使用して選択的に不純物イオンを打ち込む処理を複数回、少なくとも 2 回反対導電型の半導体層を生成するための異なる不純物イオンを打ち込む 2 回の処理を行うことにより MOSFET のソース・ドレインを形成する。これにより、nMOSFET に対して n 型のソース・ドレイン 32 a、32 b、32 c 及び 32 d が、pMOSFET に対しては p 型のソース・ドレイン 33 a、33 b、33 c 及び 33 d が形成される〔図 12 (g)〕。

【0104】(8) バイポーラトランジスタの真性ベース及びエミッタを形成するために層間絶縁膜 34 を膜付けし、真性ベース 15 a 及びエミッタ領域の窓あけ加工をする。この窓 35 をあけることにより、ベース引出し電極 12 a の形状が規定される〔図 12 (h)〕。

【0105】(9) 次に、真性ベース 15 a とベース引き出し電極 12 a との接続部 36 をポリ Si を使用して形成し、さらに、エミッタ電極 17 a との層間絶縁層 37 を設けた後にエミッタ電極 17 a を形成する。その後、エミッタ電極 17 a から n 型の不純物 (例えば As) を拡散させエミッタ 16 a を形成する。最後にパッ

シベーション膜38を被着し、メタル電極39を設けることにより、図6に示す構造の半導体装置を完成させる〔図12(i)、(j)〕。

【0106】前述した製造工程は、本発明の第6の実施例を製造するとして説明したが、図12(c)の工程において、イオン打ち込みのエネルギーとドーズ量とを変えれば、第9の実施例、すなわち、図9の構造を作製することができる。また、図12(c)の工程におけるイオン打ち込みを行わず、図12(d)の時点でイオン打ち込みによって所定の領域に深いp+層を形成すれば、第10の実施例、すなわち、図10の構造を実現することができる。

【0107】また、図12による製造方法の説明では、素子分離絶縁層(7a~7i)の形成方法として、エッチングによってSiの中に溝を作り、そこに酸化膜等の絶縁物を充填する方法を示したが、本発明は、既に知られているように、LOCOS(Local Oxidation of Silicon)法を用いることもできる。この場合、LOCOS酸化する前に、所望の領域にボロンをイオン打ち込みすることによって、ウエルを接続するためのp型半導体層を形成することができる。

【0108】

【発明の効果】以上説明したように本発明によれば次のような効果を得ることができる。

【0109】同種の素子の間の絶縁層の下に、素子を形成するウエルと同じ導電型の半導体層を、ウエルと該ウエルと異なる導電型の半導体層との接合位置よりも深く設けることにより、その半導体層の抵抗値を下げることができ、かつ、ウエル間を電氣的に接続することができるため、ウエル電位を共通にすることができる。

【0110】この結果、素子の特性の均一化を図ることができる。

【0111】この構造は、素子が形成されるウエルを浅く形成することが可能であるため、ウエルの横方向の広がりを抑えることができ、異種間の素子分離幅も短くすることが可能になる。

【0112】また、素子間絶縁層の下に、ウエルと同じ導電型であり、かつ、ウエルよりも抵抗率の小さい半導

体層を設けることにより、前述と同様な効果を得ることができる。

【0113】また、ウエルと同じ導電型であり、かつウエルよりも抵抗率の小さい半導体層を素子間絶縁層の下に設けるばかりでなく、ウエルの下部にまで引き延ばした場合にも、同様な効果を得ることができる。

【0114】また、素子間の分離溝を溝加工した後に、イオン打ち込み法等で所定の領域にウエルと同種の導電型を与える不純物を導入し、そのイオン打ち込みのエネルギー、ドーズ量の条件を適宜設定することにより、絶縁層の下にウエルと同じ導電型の半導体層を、ウエルと該ウエルと異なる導電型の半導体層との接合位置よりも深く、あるいは、ウエルよりも抵抗率を小さくして設けることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明する図である。

【図2】本発明の第2の実施例を説明する図である。

【図3】本発明の第3の実施例を説明する図である。

【図4】本発明の第4の実施例を説明する図である。

【図5】本発明の第5の実施例を説明する図である。

【図6】本発明の第6の実施例を説明する図である。

【図7】本発明の第7の実施例を説明する図である。

【図8】本発明の第8の実施例を説明する図である。

【図9】本発明の第9の実施例を説明する図である。

【図10】本発明の第10の実施例を説明する図である。

【図11】本発明の第11の実施例を説明する図である。

【図12】本発明の第6の実施例を説明する図である。

【符号の説明】

5a~5c pウエル

6a~6c nウエル

7a~7i 素子分離絶縁層、

9a~9d、90a~90d、900 p+層、

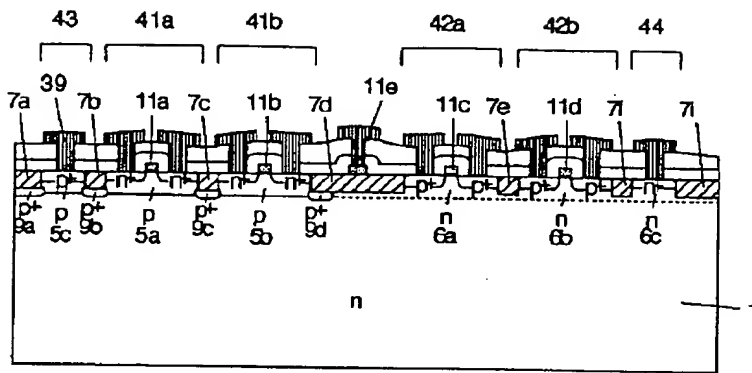
41a、41b nMOSFET

42a、42b pMOSFET

45a バイポーラトランジスタ

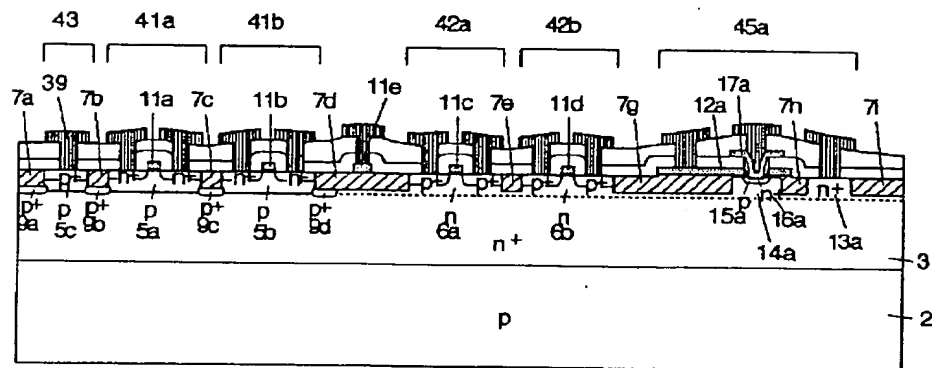
【図1】

図1 (a)



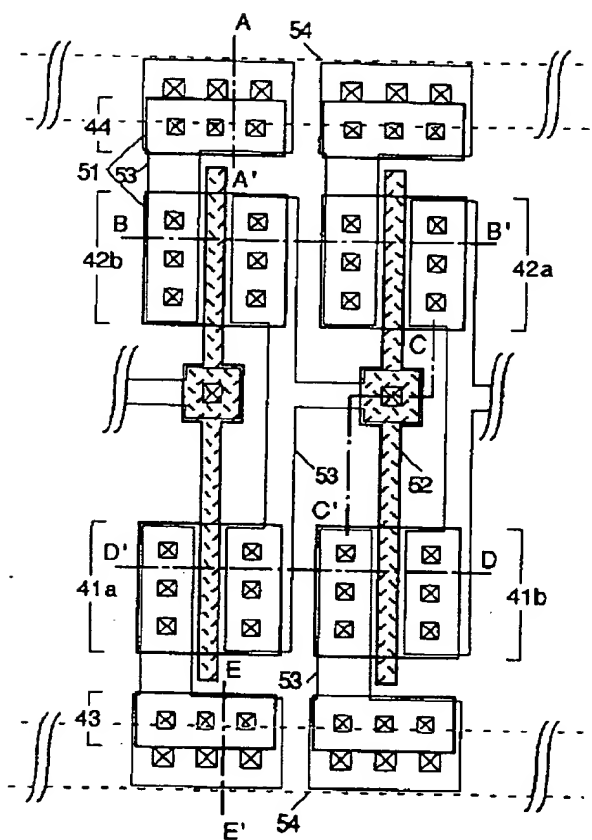
【図2】

図2 (a)



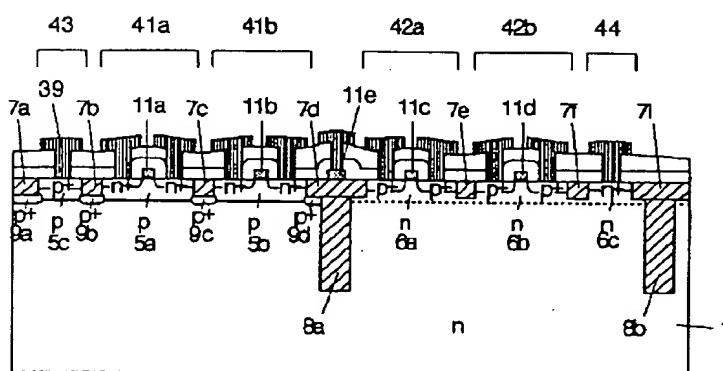
【図1】

図1 (b)



【図3】

図3 (a)



【図1】

図1 (c)

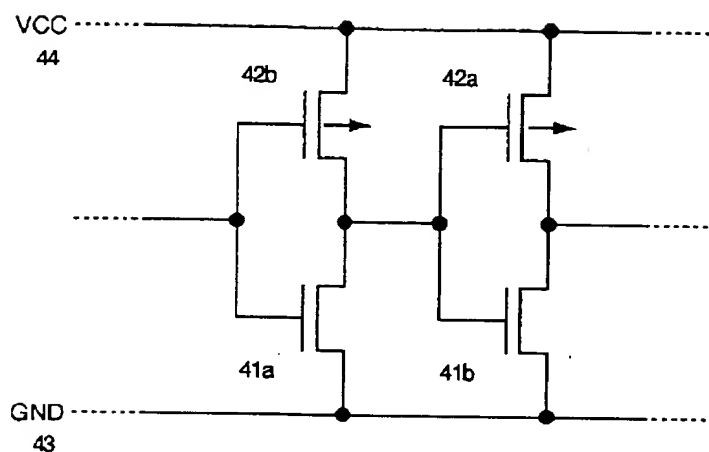
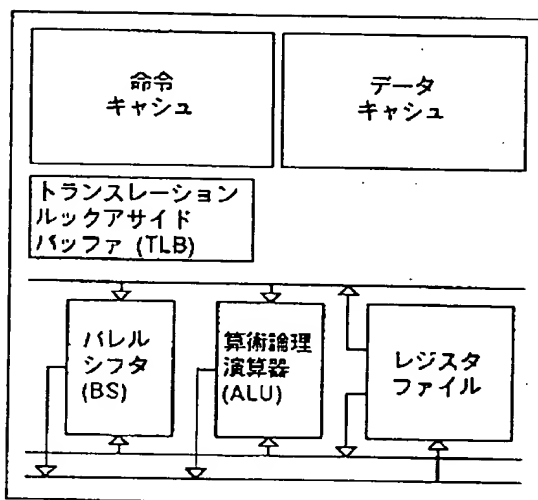
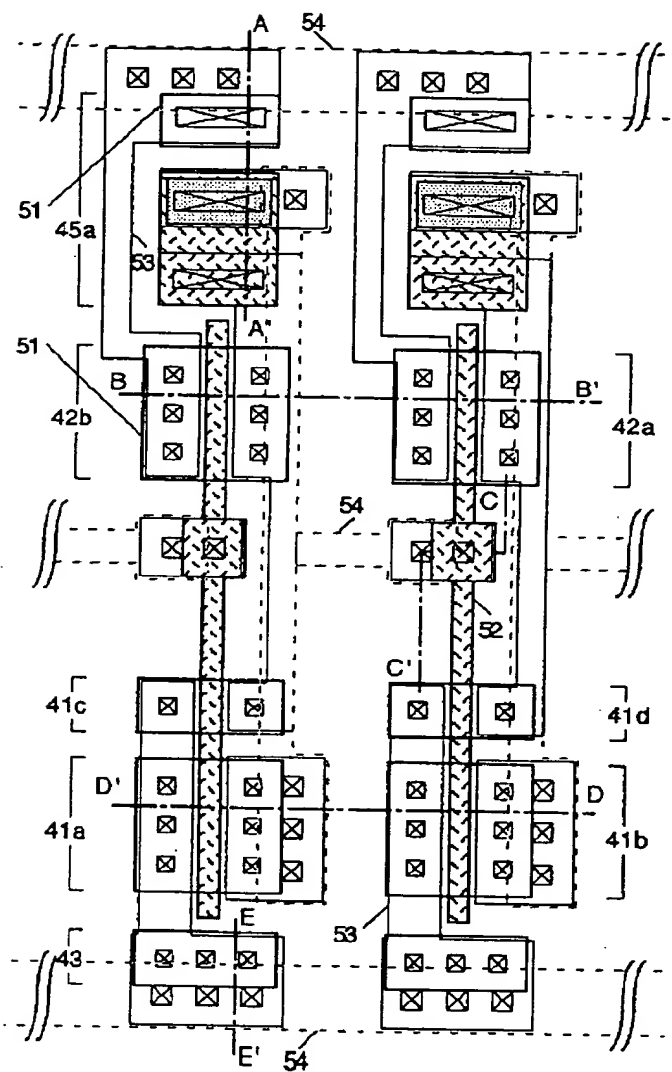


図1 (d)



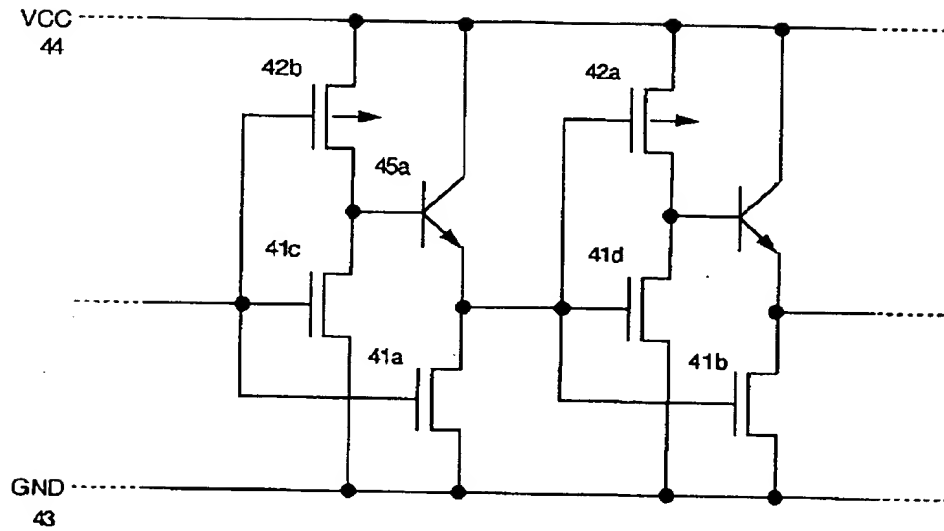
【図2】

図2 (b)



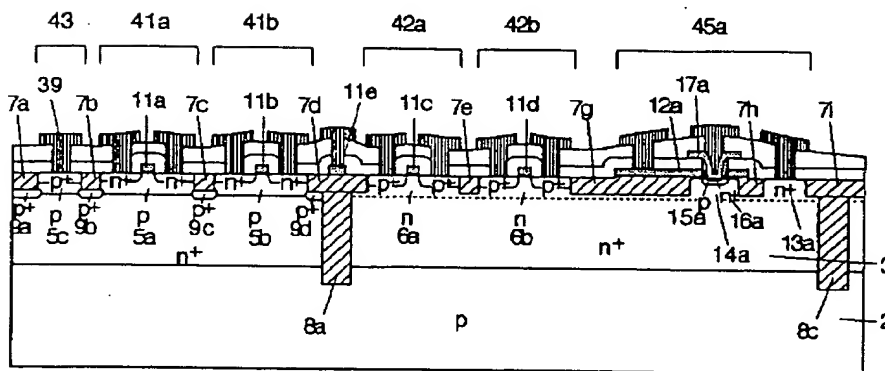
【図2】

図2 (c)



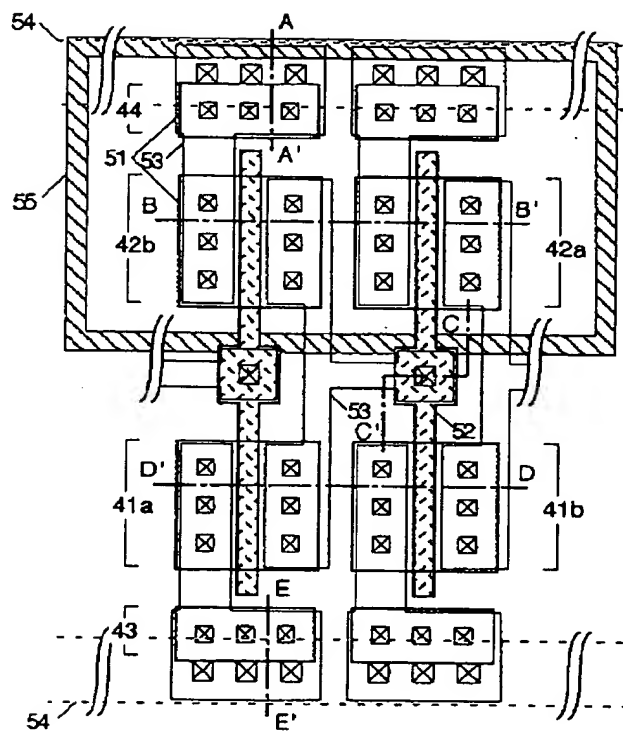
【図4】

図4 (a)



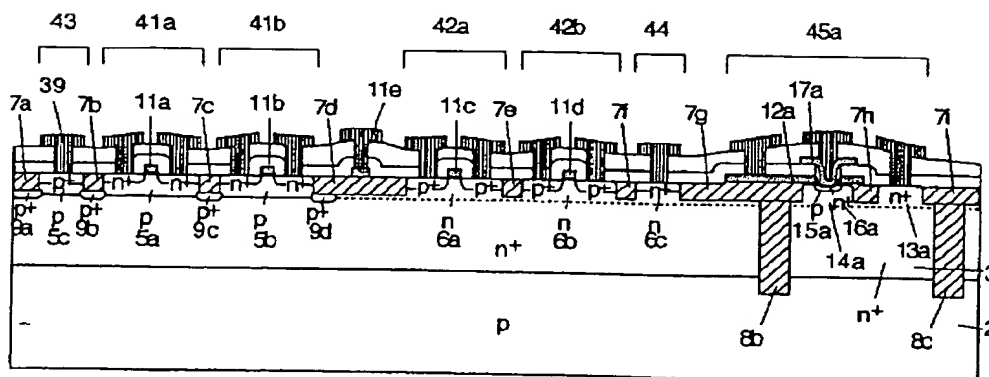
【図3】

図3 (b)



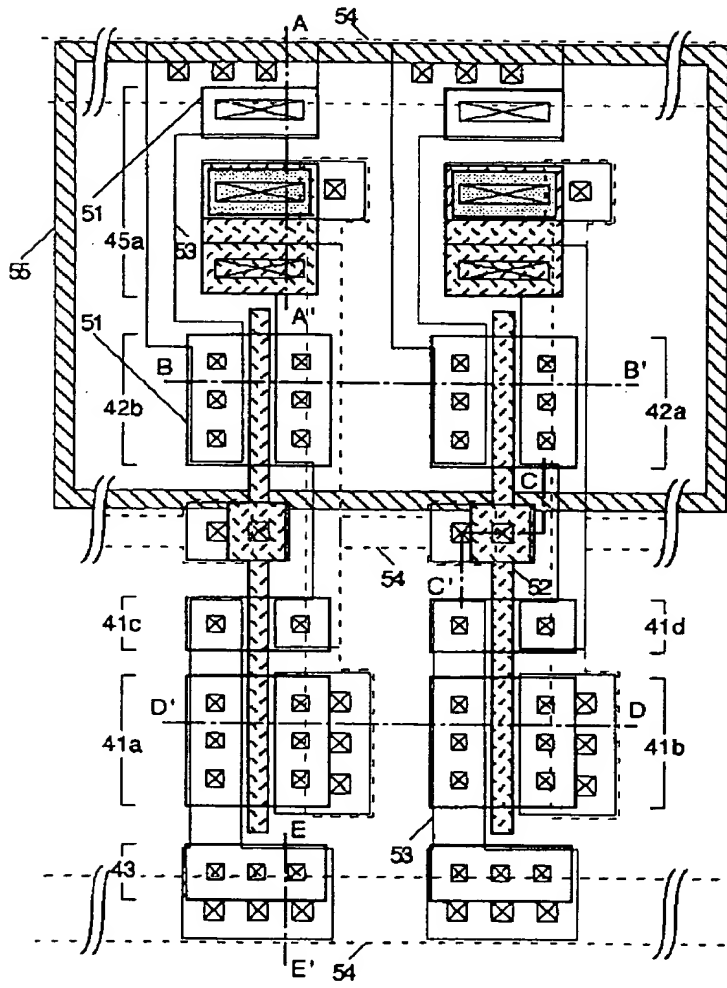
【図5】

図5 (a)



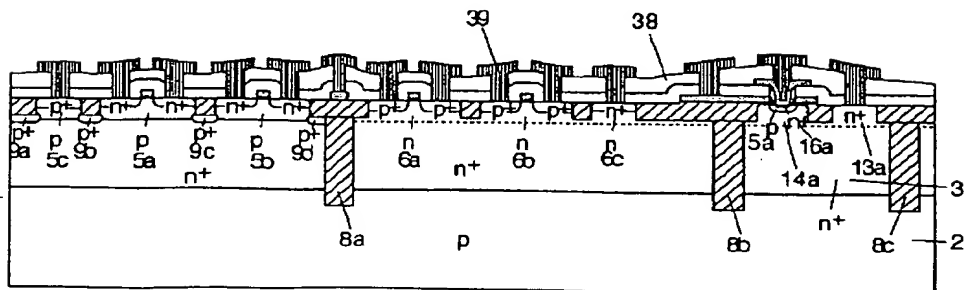
【図4】

図4 (b)



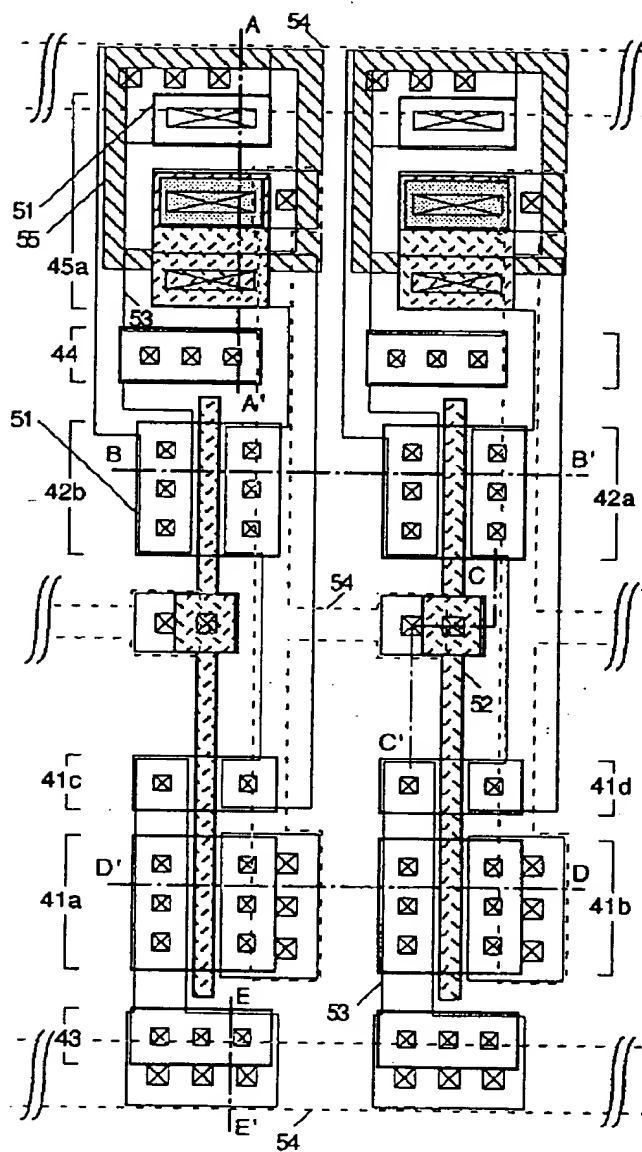
【図12】

図12 (j)



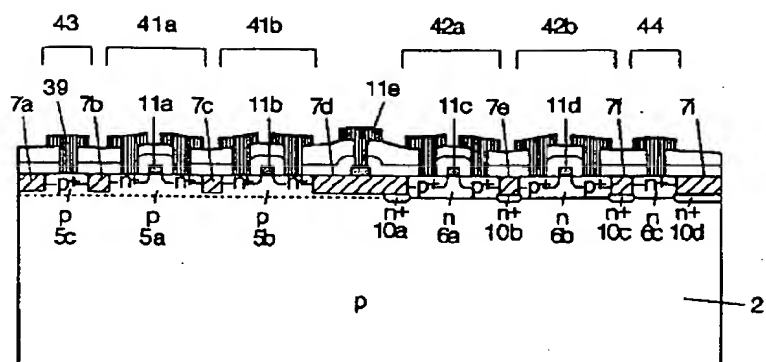
【図5】

図5 (b)



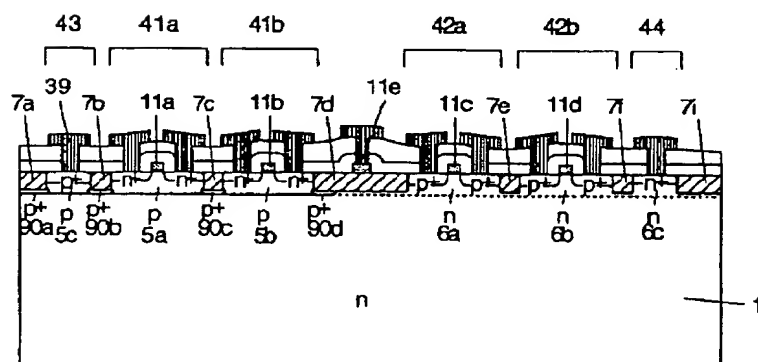
【図8】

図8



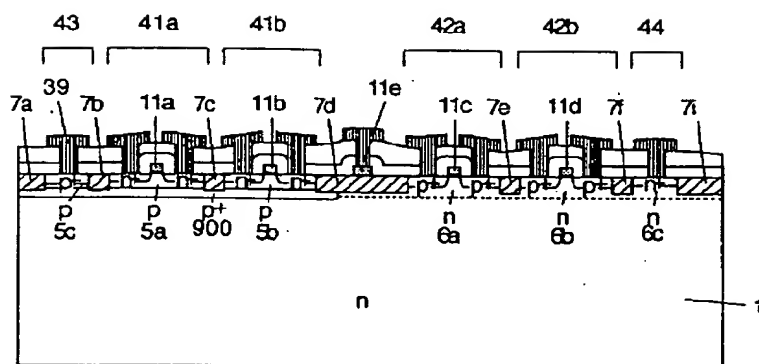
【図9】

図9



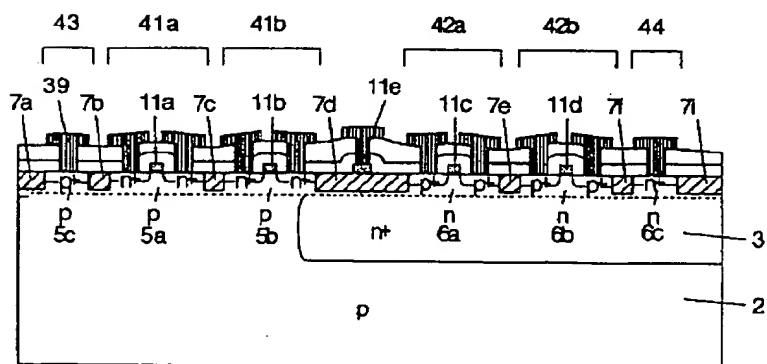
【図10】

図10



【図11】

図11



【図12】

図12 (a)

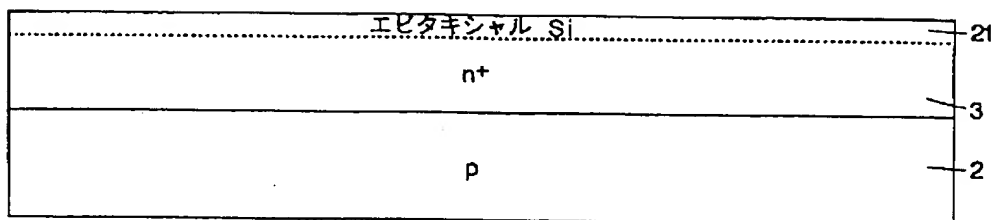


図12 (b)

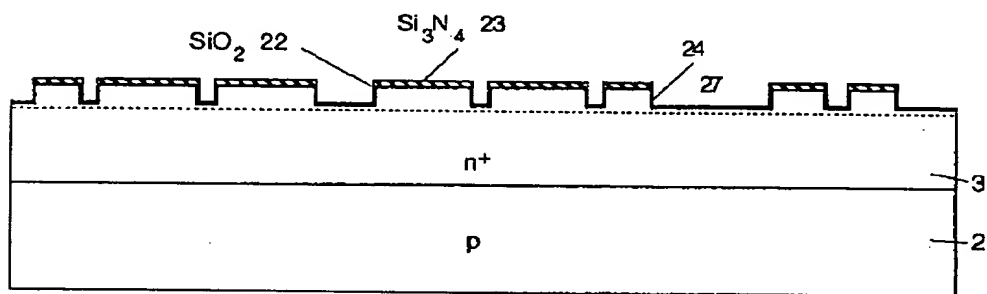
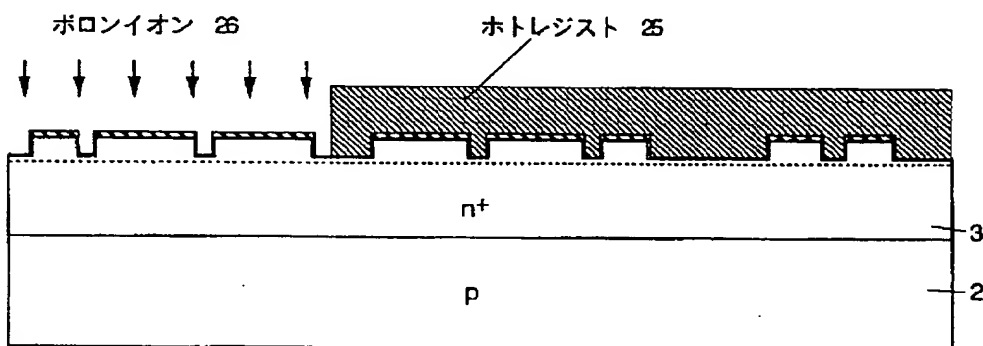


図12 (c)



【図12】

図12 (d)

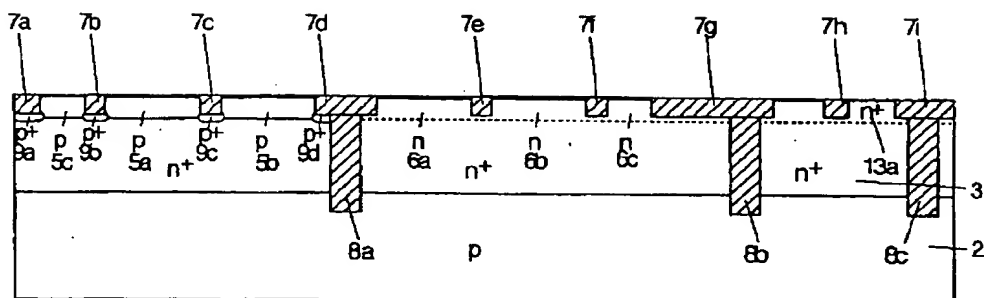


図12 (e)

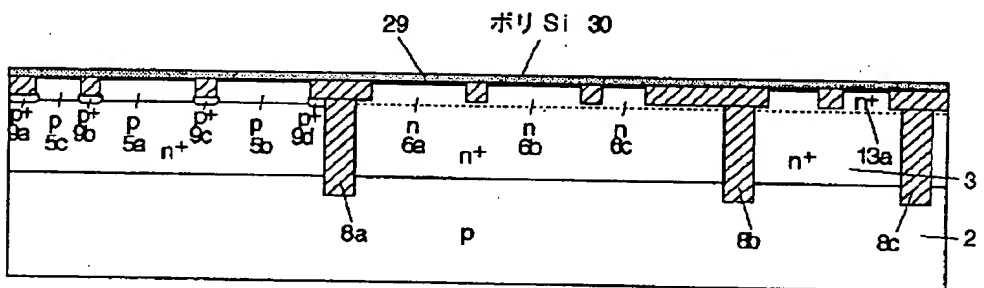
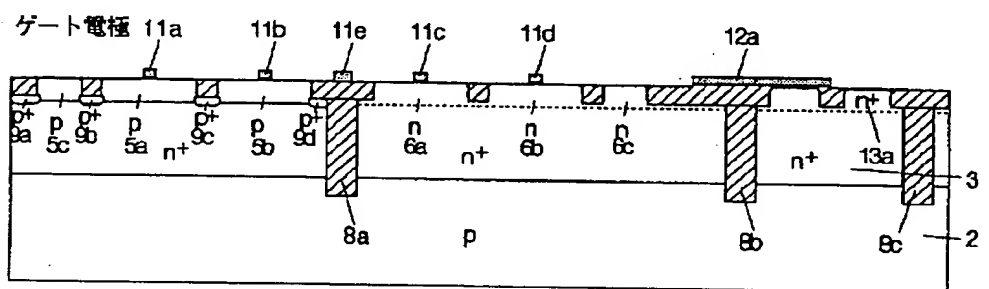


図12 (f)



【☒ 1 2】

图 12 (g)

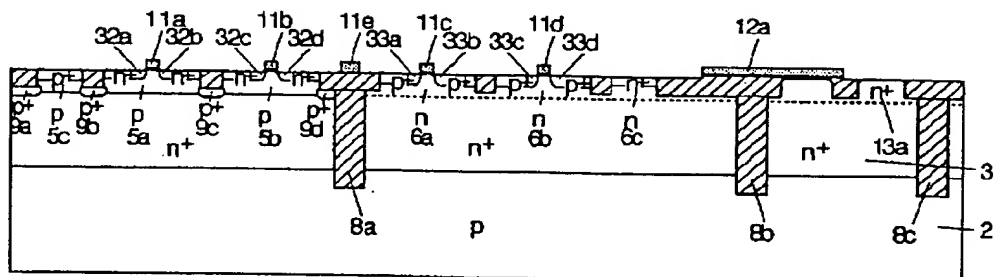


图 12 (h)

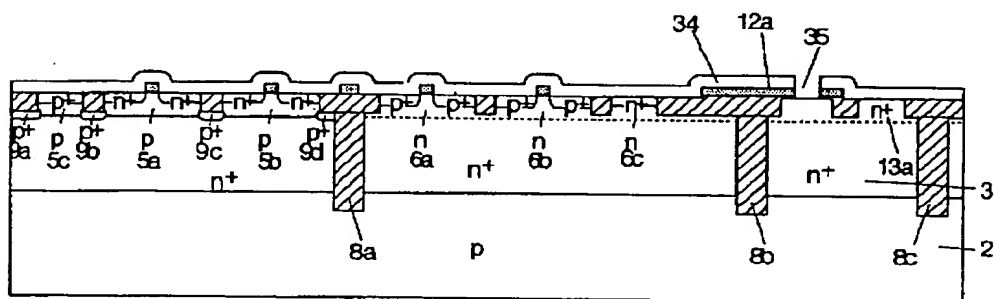
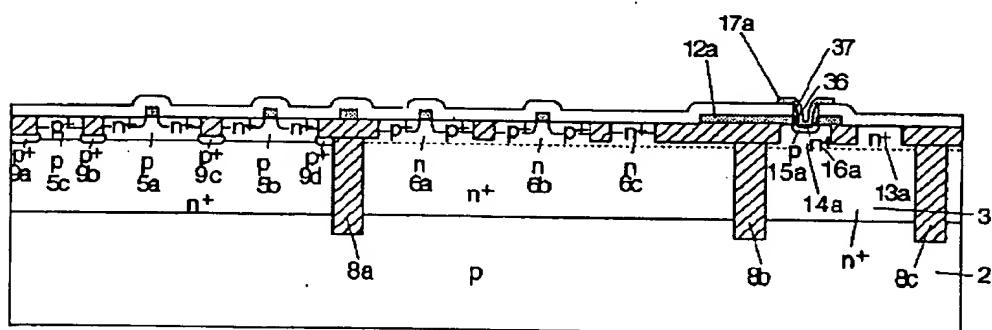


图 12 (i)



【手續補正書】

【提出日】平成4年12月21日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の詳細な説明

【補正方法】変更

【補正内容】

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】 本発明は、半導体集積回路装置に

係り、特に、電界効果型半導体装置を含む半導体集積回路装置に関する。

【0 0 0 2】

【従来の技術】デバイスを小さい面積のチップ上に多数設けること、すなわち、LSIの高集積化は、メモリ容量の増加、論理ゲート数の増加、チップの小型化等にメリットをもたらす。

【０００３】一般に、絶縁ゲートトランジスタ（通常、絶縁膜として酸化膜を用いた金属酸化膜半導体電界効果

トランジスタを使用することが多いので、以下ではMOSFETの呼称を用いる)を含むLSIは、内部に形成される素子相互間の分離幅が製造装置やプロセスに起因した制約を受け、この分離幅は、最少加工寸法で規定される。

【0004】また、相補型MOSFET(以後、CMOSFETと呼ぶ)含むLSIは、これらの各素子がそれぞれのウェル(nチャネルMOSFETではp型半導体領域、pチャネルMOSFETではn型半導体領域のこと)に作られるため、それぞれのウェルを作るときの不純物の拡散(横方向拡散)、マスク合わせ余裕の問題から異種間のMOSFET間の分離幅を広くとる必要があり、高集積化を行うことが困難である。

【0005】ウェルの横方向への広がりを抑えて異種の素子間の分離幅を短くするための従来技術として、例えば、特開平3-145759号公報等に記載された技術が知られている。

【0006】この従来技術は、pn接合による分離を用いる代わりに、素子間に絶縁物を介在させる方法であり、この絶縁物により、ウェルを形成する不純物の横方向への拡散を防止しようとするものである。そして、この従来技術は、バイポーラ及び相補金属酸化膜半導体装置(以後、BiCMOSと呼ぶ)を含むLSIにおいて、バイポーラ・トランジスタ用のn型埋込層をチップ全面に形成し、さらに、素子間にn型埋込層を貫通する絶縁用溝を設けた構造としたものである。

【0007】

【発明が解決しようとする課題】LSIの内部に形成される素子間の分離幅を短くすることは、前述した公報に記載された従来技術により可能である。

【0008】しかし、LSIにおいては、ただ素子の間を電気的に分離すればよい場合だけでなく、同種の複数個の素子、例えば、nMOSFETであれば同じウェルの中に複数の素子を作り込み、各nMOSFETのウェル電位を等しくしたい場合がある。

【0009】この場合、前記公報に記載された従来技術は、同種の素子相互間に、ウェルの下部に形成されているこのウェルと異なる導電型の半導体層にまで達する絶縁用溝を設けているので、ウェルが電気的に分離されてしまい、ウェルの電位を共通にすることができなくなるという問題点を生じさせてしまう。

【0010】そこで、異種のMOSFETの相互間には深い絶縁用溝を設けるが、同種のMOSFETの相互間には絶縁用溝を設けず、異なる導電型の半導体層までは到達しない程度の絶縁用溝、フィールド酸化膜等を用いることが考えられる。この場合、絶縁用溝を形成した後には深いウェルを形成するための高音長時間の熱処理を行うことは、結晶欠陥を誘発する原因となる。

【0011】また、近年のLSIは、内部素子の微細化を図ることを考慮して、製造工程における熱処理が低減

される方向にあり、これらの理由により、ウェルが浅くなる傾向にある。また、LSIの性能向上(高速化)を考慮すると、配線と半導体層との間の容量低減のために、従来と同等かそれ以上厚いフィールド酸化膜を確保しなければならない。

【0012】従って、これらの2つの条件を満たすLSIは、フィールド酸化膜の下部でウェルを電気的に接続する層の抵抗が高くなり、このため、各MOSFETのウェル相互間に電位差が生じ、MOSFETの特性がばらつくという問題が生じる。

【0013】本発明の目的は、MOSFETを含む半導体集積回路装置において、①異種素子間では素子分離幅を短くして集積回路装置の高集積化を図り、②同種の素子のウェル電位を等しくして、素子の特性の均一化を図る、新たなウェル及び絶縁分離構造を備えた半導体集積回路装置を提供することにある。

【0014】

【課題を解決するための手段】本発明によれば前記目的の①は、異種素子間の分離幅を短くするために、ウェルを浅くして、ウェルの横方向の広がりを抑えることにより達成される。

【0015】また、前記目的の②は、同種素子間のウェルの電気的な接続を保ち、かつ、ウェルの抵抗を高めないようにするために、ウェル下部に形成されている該ウェルと異なる導電型の半導体層までは到達しない程度の素子間絶縁層を設け、さらに、その絶縁層の下にウェルと同じ導電型の半導体層を、ウェルと該ウェルの下部に形成されている異なる導電型の半導体層との接合位置とは異なる位置まで設けることにより達成される。

【0016】また、前記目的の②は、ウェル下部に形成される異なる導電型の半導体層までは到達しない程度の素子間絶縁層を設け、さらに、その絶縁層の下にウェルと同じ導電型で、かつ、ウェルよりも不純物濃度の高い、すなわち、抵抗率の小さい半導体層を設けることにより達成される。

【0017】さらに、前記目的の②は、ウェル下部に形成される異なる導電型の半導体層までは到達しない程度の素子間絶縁層を設け、ウェル及び素子間絶縁層の下方にウェルと同じ導電型で、かつ、ウェルよりも抵抗率の小さい半導体層を設けることにより達成される。

【0018】また、前述の構造は、素子間の分離溝を形成した後、あるいは、素子間の絶縁層を形成した後に、イオン打込み等で所望の領域にウェルと同種の導電型を与える不純物を導入することにより実現できる。

【0019】

【作用】同種の素子を分離し、かつ、同種の各ウェルを電気的に分離しないように、ウェル下部に形成されている該ウェルと異なる導電型の半導体層までは到達しない程度の素子間絶縁層を設けると、素子間絶縁層とウェルと異なる導電型の半導体層とにより挟まれた部分のウェ

ルの抵抗が高くなる。

【0020】本発明は、前述したように、その素子間絶縁層の下にウエルと同じ導電型の半導体層を、ウエルと該ウエルと異なる導電型の半導体層との接合位置よりも深く設けて、この部分の半導体層の抵抗値を下げているので、この半導体層により接続されるウエルが低抵抗で接続されることになり、両ウエルの電位を等しくすることが可能になる。

【0021】また、素子間絶縁層の下にウエルと同じ導電型で、かつ、ウエルよりも不純物濃度の高いすなわち抵抗率の小さい半導体層を設けることにより、この半導体層により接続されるウエルを低抵抗で接続することができる。この場合、素子間絶縁層とウエルと異なる導電型の半導体層とにより挟まれた前記素子間絶縁層の下に設けた半導体層の厚さが、素子領域のウエルの層の厚さよりも薄くても、前記素子間絶縁層の下に設けた半導体層の抵抗を、その抵抗率が低い分だけ小さくすることができ、この半導体層で接続されるウエルの電位を等しくすることができる。

【0022】また、ウエルと同じ導電型で、かつ、ウエルよりも抵抗率の小さい半導体層を素子間絶縁層の下だけでなく、ウエルの下部にまで設けた場合にも、前述と同様に、この半導体層で接続されるウエルの電位を等しくすることができる。

【0023】また、前記素子間絶縁層を形成する素子間の分離溝を溝加工した後に、イオン打ち込み法等で所定の領域にウエルと同種の導電型を与えるイオンを、そのイオン打ち込みのエネルギー、ドーズ量の条件を設定して導入することにより、絶縁層の下にウエルと同じ導電型の半導体層を、ウエルとウエルとは異なる導電型の半導体層との接合位置よりも深く、あるいは、ウエルよりも抵抗率を小さくして設けることができる。

【0024】

【実施例】以下、本発明による半導体集積回路装置の実施例を図面により詳細に説明する。

【0025】図1～図4は本発明の第1の実施例を説明する図であり、図1はその断面図、図2はその平面図、図3はその回路例を示す図、図4は応用例を示すマイクロプロセッサのブロック図である。図1～図4において、1はn型シリコン基板、5a～5cはpウエル、6a～6cはnウエル、7a～7f、7iは素子分離絶縁層、9a～9dはp+半導体層、11a～11dはゲート電極、39はメタル電極、41a、41bはnMOSFET、42a、42bはpMOSFET、43、44は給電部である。

【0026】図1～図4に示す本発明の第1の実施例は、図1に示すように、n型シリコン（以下、Siと記す）基板1上に複数個（図では2個）のnMOSFET 41a、41b及び複数個（図では2個）のpMOSFET 42a、42bを形成したものである。そして、n

MOSFET 41a、41bが形成されるpウエルに対するウエル電位の給電部43及びpMOSFET 42a、42bが形成されるnウエルに対するウエル電位の給電部44が設けられている。

【0027】各MOSFETは、pウエルとn型Si基板との接合位置には達しない深さの溝状に形成された素子分離絶縁層7a～7f、7iにより分離されており、各nMOSFET 41a、41bは、ゲート電極11a、11bを備え、各pMOSFET 42a、42bは、ゲート電極11c、11dを備えて構成されている。これらのゲート電極は、素子分離絶縁層上の配線11eに接続されている。

【0028】n型Si基板1と異なる導電型のウエルであるpウエル5c、5a及び5bのそれぞれの間、すなわち、素子分離絶縁層7b及び7cの下にはp+（p型半導体で不純物濃度の高いもの、この場合はpウエルよりも濃度が高い）半導体層9b及び9cが存在しており、これらp+半導体層9b及び9cとn型Si基板1とによるpn接合の位置は、pウエル5c、5a及び5bとn型Si基板1とによるpn接合の位置よりも深くなっている。そして、このp+半導体層9b及び9cにより各pウエル5c、5a及び5bは、相互に電氣的に接続されている。

【0029】ここで、p+半導体層9b及び9cとn型Si基板1とによるpn接合の位置が、pウエル5c、5a及び5bとn型Si基板1とによるpn接合の位置よりも深くなっているのは、p+半導体層9b及び9cの層の厚さを増すことによりその電気抵抗を低減させるためである。もし、このp+半導体層9b及び9cの電気抵抗が高ければ、pウエル電位の給電部43からある電位が与えられた場合に、p+半導体層9bまたは9cの抵抗に起因する電圧降下により、pウエル5cとpウエル5a及び5bの電位が異なってくる。

【0030】本発明の第1の実施例は、前述のように、p+半導体層9b及び9cの抵抗を低減することができるので、pウエル5cとpウエル5a及び5bの電位を等しくすることができる。また、p+半導体層9a及び9dは、pウエル5c、5a及び5bの接続の役には立たないが、さらに隣合うpウエルが存在する場合の接続のために必要である。従って、それぞれのpウエルの周囲にp+半導体層を設けておくレイアウトが好ましい。

【0031】なお、前述した本発明の第1の実施例は、pウエル5a～5cよりも不純物濃度が高いp+半導体層9a～9dを使用するとしたが、このp+半導体層9a～9dの不純物濃度は、その厚さによっては必ずしもウエルの不純物濃度よりも高くする必要はなく同等であってもよい。また、pMOSFET 42a、42bが形成されるnウエル6aとnウエル6bとは、n型Si基板1でnウエル電位の給電部44のnウエル6cと接続されており、新たに接続のための半導体層を設ける必要

はない。

【0032】一般に、CMOSは、複数の同種のMOSFETを1つの大きなウェルに形成し、しかも、ウェル抵抗を低く保ちラッチアップを防止するために深いウェルを使用するが、本発明の第1の実施例は、図1の断面図に示すようにその必要はなく、ウェルの横方向の広がりを抑えることができるため、異種素子間の分離幅も短くすることができる。

【0033】図2は、図1の断面構造に対応する平面図であり、図3の回路図に示すCMOSインバータチェーンを例としたものである。そして、図2に示すA-A'、B-B'、C-C'、D-D'、E-E'の部分をつなげたものが図1に示す断面図になる。

【0034】図2において、太い直線51で囲まれた領域は、MOSFET、給電部等が形成されたアクティブ領域であり、それ以外の領域が、素子分離絶縁層で覆われた領域である。

【0035】そして、A-A'の部分は、図1におけるnウェル電位の給電部44である。nウェル電位の給電部44とpMOSFET42bのソースとは、同電位にするために、1層目のメタル配線層53によって接続されている。B-B'の部分は、2個のpMOSFETを横切っており、図1に示すpMOSFET42b、42aに対応する。

【0036】同様に、D-D'の部分は、2個のnMOSFETを横切っており、図1に示すnMOSFET41b、41aに対応している。また、E-E'の部分は、pウェル電位の給電部43であり、この部分はnMOSFET41aのソースに接続されている。折線となっているC-C'の部分は、図1におけるpMOSFET42aとnMOSFET41bとの間の部分に相当する。

【0037】pMOSFET42aのゲート電極11cとnMOSFET41bのゲート電極11bとは、それぞれ延長されて素子分離絶縁層上で一体となって1つのゲート電極配線層52とされており、このゲート電極配線層52に、前段のpMOSFET42b及びnMOSFET41aのドレインからの出力が1層目のメタル配線層53によって接続されている。また、nウェル電位及びpウェル電位給電部44、43は、1層目のメタル配線層53で引き出された上で、2層目のメタル配線層54に接続されて給電されている。

【0038】また、既に説明したように、nMOSFET41aとnMOSFET41bとの間、nMOSFET41aとpウェル電位の給電部43との間等は、これらの素子を形成するpウェル間が素子分離絶縁層の下に設けられたp⁺半導体層によって接続されている。

【0039】なお、前述した本発明の第1の実施例において、pMOSFET42aとpMOSFET42bとの間、さらには、これらのpMOSFETとnウェル電

位の給電部44との間以外の素子分離絶縁層の下に、p⁺半導体層が形成されていてもよい。

【0040】図4は、前述した本発明の第1の実施例による半導体集積回路を使用した応用例を示すマイクロプロセッサのブロック図である。

【0041】マイクロプロセッサを構成する各ユニットは、それぞれ特有の回路構成を持つとしても、CMOSにより構成することができ、前述した本発明の第1の実施例による構造を使用して構成することができる。また、この実施例は、メモリ等に対しても使用することができる。さらに、後述する全ての本発明の実施例は、マイクロプロセッサ、メモリ等を構成するために使用することができる。

【0042】図5～図7は本発明の第2の実施例を説明する図であり、図5はその断面図、図6はその平面図、図7はその回路例を示す図である。図5～図7において、2はp型Si基板、3はn⁺埋込層、7g、7hは素子分離絶縁層、12aはベース引出し電極、13aはコレクタ引上げ層、14aはコレクタ、15aは真性ベース、16aはエミッタ、17aはエミッタ電極、45aはnpnバイポーラトランジスタである。

【0043】図5～図7に示す本発明の第2の実施例は、本発明をBiCMOSに応用した例であり、p型Si基板2の表面にn⁺埋込層3を形成した基板を用いて、この上にCMOSとnpnバイポーラトランジスタを形成したものである。CMOSの部分は、基板構造がn⁺埋込層/p型Si基板となっている点で異なるが、その他は第1の実施例と同一であり、pウェル間の接続という作用においても図1と同等である。但し、nウェル電位の給電部44は、後述する図7に示す回路図のようなBiNMOS回路としたとき、npnバイポーラトランジスタ45aのコレクタ電位引上げ層13aと共通化できるため省略されている。

【0044】図5において、npnバイポーラトランジスタ45aは、縦型バイポーラトランジスタであり、エミッタ電極17aの下にエミッタ16a、真性ベース15a、コレクタ14aが位置して構成されており、コレクタは、n⁺埋込層3とコレクタ引上げ層13aとによって金属電極に接続されて構成されている。

【0045】なお、図5～図7に示す本発明の第2の実施例は、ベース引出し電極12aを使用した、自己整合型バイポーラトランジスタを例としているが、本発明が適用されるBiCMOSに使用されるトランジスタは、特にこれにこだわることはなくどのような形式のバイポーラトランジスタであってもよい。

【0046】図5に示す本発明の第2の実施例の断面構造に対応する平面図が図6に示されており、この例は、図7の回路図に示すBiNMOSインバータチェーンを例としたものである。そして、図6中のA-A'、B-B'、C-C'、D-D'、E-E'の部分をつなげた

ものが図5の断面図になる。

【0047】図6において、A-A'の部分、図5におけるnpnバイポーラトランジスタ45aの部分である。B-B'以下E-E'までの部分は、前述した本発明の第1の実施例と同一のCMOSの部分である。但し、図5の断面図においては、図7の回路図におけるnMOSFET41c、41dの図示が省略されている。

【0048】この本発明の第2の実施例が第1の実施例の図2と大きく相違する点は、npnバイポーラトランジスタ45aが追加されたことと、そのためnpnバイポーラトランジスタとMOSFETとの間に1層目のメタル配線層53による接続が付加された点である。また、前段の出力は、2層目のメタル配線54によって次段に接続されている。

【0049】なお、前述の実施例は、CMOSとnpnバイポーラトランジスタとの組み合わせであったが、回路構成によっては、例えば、CMOSとnpnバイポーラトランジスタとの組み合わせでも可能である。さらに、後述するBiCMOSの全ての実施例は、1種のMOSFETとバイポーラとの組み合わせによるBiMOSであってもよい。

【0050】図8、図9は本発明の第3の実施例を説明する図であり、図8はその断面図、図9はその平面図である。図8、図9において、8a、8bは素子分離絶縁溝であり、他の符号は図1～図4の場合と同一である。

【0051】この本発明の第3の実施例は、本発明をCMOSに適用した例であり、図1～図4により説明した本発明の第1の実施例が、図1に示すように、nMOSFET41a、41bとpMOSFET41a、41bとの間の素子分離のために浅い素子分離絶縁層7dのみを用いているのに対し、さらに深い素子分離絶縁溝8a、8bを併用して構成したものである。

【0052】一般に、CMOS構造は、nMOSFETとpMOSFETとを隣合わせにして構成すると、pMOSFETのソースからnMOSFETのソースにかけてpnpn構造ができ、ラッチアップが生じる恐れがある。このため、CMOS構造は、このラッチアップが起こらないように、この間の素子分離間隔を広くとる必要がある。

【0053】本発明の第3の実施例は、異種素子間の分離に、前述した深い素子分離絶縁溝8a、8bを用いることにより、nMOSFETとpMOSFETとの素子分離間隔を小さくできるようにしたものである。

【0054】図9は、図8の断面構造に対応する平面図であり、前述した本発明の第1の実施例と同じく図3の回路図に示すCMOSインバータチェーンを例としたものである。図9において、前述した深い素子分離絶縁溝8a、8bが素子分離絶縁溝55として示されている。図9におけるA-A'、B-B'、C-C'、D-D'、E-E'の部分をつなげたものが図8の断面図になる。

なる。

【0055】この本発明の第3の実施例が第1の実施例の図2と大きく相違する点は、素子分離絶縁溝55が加わったことである。素子分離絶縁溝55が付加されたことにより、本発明の第3の実施例は、nMOSFETとpMOSFETとの間隔を図2に示す場合より小さくすることができ、半導体集積回路装置の高集積化を図ることができる。

【0056】素子分離絶縁溝55は、図9に示すように、並んだ複数のpMOSFET全体を取り囲むものであってもよいし、個々のpMOSFETをそれぞれ取り囲むものであってもよい。そして、いずれにしても、図8における素子分離絶縁溝8a、8bは、一体に連続したものである。

【0057】図10、図11は本発明の第4の実施例を説明する図であり、図10はその断面図、図11はその平面図である。図10、図11において、8cは素子分離絶縁溝であり、他の符号は図8、図9の場合と同一である。

【0058】この本発明の第4の実施例は、本発明をBiCMOSに応用した例であり、前述した本発明の第2の実施例と同様にp型Si基板2の表面にn⁺埋込層3を形成した基板を用いて、この上にCMOSとnpnバイポーラトランジスタとを形成したものである。

【0059】この本発明の第4の実施例が第2の実施例と相違する点は、nMOSFET41a、41bとpMOSFET42a、42bとの間の素子分離のために、n埋込層3を貫通してp型Si基板2にまで達するように深く形成された素子分離絶縁溝8a、8cを併用している点である。この素子分離絶縁溝8a、8cを備えることにより、本発明の第4の実施例は、nMOSFET41a、41bとpMOSFET42a、42bとの間の素子分離間隔を小さくすることができる。但し、図11に示した平面図からも判るように、この第4の実施例がBiNMOS回路に適用するものであるため、pMOSFET42a、42bが形成されるnウェル6a、6bとnpnバイポーラトランジスタ45aのコレクタ14aとが同電位であってよく、そのため、pMOSFETとnpnバイポーラトランジスタの間には素子分離絶縁溝を設けていない。

【0060】図11は、図10に示す断面構造に対応する平面図であり、前述した本発明の第2の実施例と同様に図7の回路図に示すBiNMOSインバータチェーンを例としたものであり、この図には、図10に示した深い素子分離絶縁溝8a、8cが素子分離絶縁溝55として示されている。そして、図11におけるA-A'、B-B'、C-C'、D-D'、E-E'の部分をつなげたものが図10に示す断面図になる。

【0061】そして、この本発明の第4の実施例の平面構造が第2の実施例の図6と大きく相違する点は、素子

分離絶縁溝55が加わったことである。素子分離絶縁溝55が付加されたことにより、本発明の第4の実施例は、nMOSFET41a、41bとpMOSFET42a、42bとの間隔を、図6に示す場合よりも近づけることができる。

【0062】前述した本発明の第4の実施例は、素子分離絶縁溝55を並んだ複数個のpMOSFET42a、42bとnpnバイポーラトランジスタ45a全体を取り囲むものとなっているが、本発明は、一对のpMOSFETとnpnバイポーラトランジスタとのそれぞれを取り囲むように素子分離絶縁溝を設けるようにしてもよい。

【0063】図12、図13は本発明の第5の実施例を説明する図であり、図12はその断面図、図13はその平面図である。図の符号は図8、図9、図10、図11の場合と同一である。

【0064】この本発明の第5の実施例は、本発明をBiCMOSに適用した例であるが、前述した本発明の第4の実施例とは違って、素子分離絶縁溝8b、8cをnpnバイポーラトランジスタの素子分離にのみ用いたものである。

【0065】こうしたことによる効果は、npnバイポーラトランジスタのコレクター基板間容量の低減にある。すなわち、素子分離絶縁溝8b、8cは、既に他の実施例で説明したと同様に、実はnpnバイポーラトランジスタの周囲を取り囲んでいるものであって、これにより低濃度コレクタ層14aの下にn+埋込層3とp型Si基板2とによる接合面積を減少させ、ひいては接合容量を下げる可以降低することができる。

【0066】図13は、図12に示す断面構造に対応する平面図であり、第2の実施例の場合と同様に、図7の回路図に示すBiNMOSインバータチェーンを例としたものである。そして、図13におけるA-A'、B-B'、C-C'、D-D'、E-E'の部分をつなげたものが図12に示す断面図になる。

【0067】図7に示す回路を本発明の第5の実施例により構成した場合、コレクタ基板容量を低減した効果は回路性能上にはみられない。しかし、例えば、ECL-CMOSインターフェースを同一チップ上に作成して、ECL(Emitter Coupled Logic)の入出力レベルの信号を取り扱う場合には、素子分離溝を用いた構造のnpnバイポーラトランジスタをそのインターフェースにも使用することになり、その回路遅延時間を大きく短縮することができる。

【0068】図14は本発明の第6の実施例を説明する断面図であり、本発明をBiCMOSに適用した例である。

【0069】この本発明の第6の実施例は、前述した本発明の第5の実施例に適用したnpnバイポーラトランジスタ45aに対する素子分離絶縁溝8b、8cに加え

て、さらに、本発明の第4の実施例で説明したpMOSFET42a、42bに対する素子分離絶縁溝8aをも設けたものである。

【0070】このような本発明の第6の実施例によれば、npnバイポーラトランジスタのコレクター基板間容量の低減に加えて、nMOSFETとpMOSFETとの間の素子分離間隔を短くすることができるという効果を奏することができる。

【0071】図15は本発明の第7の実施例を説明する断面図であり、本発明をBiCMOSに適用した例である。

【0072】この本発明の第7の実施例は、前述した本発明の第6の実施例がp型Si基板2を使用しているのに対して、SOI(Silicon on Insulator)基板を用いて構成したものである。すなわち、この実施例は、n+埋込層3の下部が全てSi酸化層18とされている基板を使用したものであり、素子絶縁分離溝8a~8cがSi酸化層18に到達するように設けられて構成されている。

【0073】この本発明の第7の実施例は、前述の構成により、nMOSFET41a、41b、pMOSFET42a、42b及びバイポーラトランジスタ45aを、それぞれ絶縁物により完全に分離することができる。また、SOI基板を使用することにより、CMOSにおける α 線によるソフトウェアの耐量を格段に向上させることができる。

【0074】なお、この本発明の第7の実施例において、pMOSFET42a、42bに対する素子分離絶縁溝8aを設けずに、前述した第5の実施例の場合のようにnpnバイポーラトランジスタ45aの素子分離のためにのみ素子分離絶縁溝8b、8cを設けるようにしてもよい。この場合、nMOSFET41a、41bとpMOSFET42a、42bsの間隔は、素子分離絶縁溝8aを用いた場合よりも広がるが、 α 線に対する効果は変わらない。

【0075】前述した本発明の第1~第7の実施例は、nMOSFETが形成されるpウエルの下部にn型の半導体層があり、各pウエルを接続するp+半導体層が設けられているとして説明したが、逆に、本発明は、pMOSFETが形成されるnウエルの下部にp型の半導体層がある場合にも適用することができる。この場合、逆にnウエルを接続するn+半導体層が設けられることになる。

【0076】図16はこの考えに基づいた本発明の第8の実施例を説明する断面図である。図16において、10a~10dはn+半導体層であり、他の符号は図1の場合と同一である。

【0077】この本発明の本発明の第8の実施例は、本発明をCMOSに適用した例であり、本発明の第1の実施例における構造の半導体の導電型を全て反対導電型と

して構成したものである。

【0078】すなわち、この本発明の第8の実施例は、p型Si基板2上にpMOSFET42a、42bを形成するために設けられるnウエル6a、6b及び6cをn+半導体層10b及び10cによって接続して構成されている。

【0079】このようなnウエルを相互に接続するn+半導体層を設ける構造は、図16のCMOSを基本形として、これまでのpウエルを相互に接続するp+半導体層を設ける実施例である本発明の第1の実施例から第7の実施例までのCMOS及びBiCMOSに対して同様に適用することができ、ちょうどp型とn型が逆になった断面構造になる。

【0080】図17は本発明の第9の実施例の構成を説明する断面図であり、図の符号は図1～図4の場合と同一である。

【0081】図17に示す本発明の第9の実施例は、n型Si基板1上に2個のnMOSFET41a、41bと2個のpMOSFET42a、42bとが形成されている点で図1～図4により説明した本発明の第1の実施例と同一である。そして、この実施例においても、素子分離絶縁層7b及び7cの下に、図1～図4の場合と同様にp+半導体層90b及び90cが設けられているが、この実施例では、p+半導体層90b及び90cとn型Si基板1とによるpn接合の位置が、pウエル5c、5a及び5bとn型Si基板1とによるpn接合の位置と同等とされている。しかも、この実施例では、p+半導体層90b及び90cは必ずpウエルよりも不純物濃度が高いことが必要である。

【0082】このp+半導体層90b及び90cの不純物濃度をpウエルの不純物濃度より高くすることにより、本発明の第9の実施例は、p+半導体層90b及び90cが前述のように厚さが薄い層であっても、この層の抵抗率をpウエルよりも低くすることができ、図1～図4の場合と同等の効果を得ることができる。

【0083】前述した本発明の第9の実施例に示すようなpウエルよりも不純物濃度が高く厚さが薄いp+半導体層を適用する構造は、図17に示すCMOSを基本形として、これまでに説明した接合位置の深いp+半導体層を備える実施例である本発明第1の実施例から第7の実施例までのCMOS及びBiCMOSの構造に対して適用することができることはいうまでもない。

【0084】また、逆に、p型半導体層上に形成したnウエル間に、該nウエルよりも不純物濃度が高く接合位置の浅いn+半導体層を設けてnウエルの接続に使用してもよい。

【0085】図18は本発明の第10の実施例を説明する断面図である。図18において、900はp+半導体層であり、他の符号は図1～図4の場合と同一である。

【0086】図18に示す本発明の第10の実施例も、

n型Si基板1上に2個のnMOSFET41a、41bと2個のpMOSFET42a、42bとが形成されている点で図1～図4により説明した本発明の第1の実施例と同一である。

【0087】そして、本発明の第10の実施例は、素子分離絶縁層7a～7dの下部のみならず、pウエル5c、5a及び5bの下部にもp+半導体層が存在しており、1つのp+半導体層900が形成されている。この場合にも、pウエル相互間を低抵抗で接続できるという図1～図4の場合と同様な効果を得ることができる。

【0088】前述した本発明の第10の実施例に示すようなpウエルの下部にもp+半導体層を設けた構造は、図18に示したCMOSを基本形として、これまでに説明した接合位置の深いp+半導体層を備える実施例である本発明第1の実施例から第7の実施例までのCMOS及びBiCMOSの構造に対して適用することができることはいうまでもない。

【0089】また、逆に、p型半導体層上にnウエルを形成し、そのnウエルの下部と素子分離絶縁層下部にn+半導体層を形成した構造としてもよい。

【0090】図19は本発明の第11の実施例を説明する断面図であり、図の符号は図1～図4の場合と同一である。

【0091】前述した本発明の第1～第10の実施例は、ウエルの下に異なる導電型の半導体基板または埋込層が存在する構造の半導体装置であったが、本発明の第11の実施例は、ウエルの下部あるいは下部の一部に、ウエルと同一の導電型の半導体層を存在させたCMOSの例である。

【0092】図19に示す本発明第11の実施例は、p型Si基板2上にn+埋込層3が形成されている領域とn+埋込層のない領域とを混在させ、p型Si基板2側にpウエル5a～5c、nMOSFET41a、41bを形成し、n+埋込層3側にnウエル6a～6c、pMOSFET42a、42bを形成したものである。そして、この実施例では、nMOSFET41bとpMOSFET42aとの間の素子分離絶縁層7dが短いため、n+埋込層3はnMOSFETのpウエル5bの下まではみ出して設けられている。

【0093】この本発明の第11の実施例は、pウエル5c、5a及び5bの下がp型基板になっているので、pウエル5aと5bとを接続するための新たな層を追加する必要がなく、また、nウエル6a、6b及び6cの下が前述の実施例の場合に既に説明しているようにn+埋込層であるので、やはり、ウエル間を接続する半導体層が不要なものである。

【0094】前述した本発明の第11の実施例の構造は、図19に示したCMOSを基本形として、これに素子分離絶縁溝やバイポーラトランジスタを組み合わせ、これまでに説明した接合位置の深いp+半導体層を

備える実施例である本発明第1の実施例から第7の実施例までのCMOS及びBiCMOSの構造に対して適用することができることはいうまでもない。

【0095】次に、前述した本発明の実施例による半導体装置を実現するための製造方法を説明する。

【0096】図12は図14により説明したBiCMOSの構造を用いた製造工程の断面図であり、以下、この図を参照して製造方法を説明する。

【0097】(1) まず、出発材料としてp型Si基板2を用意し、その上にSiをn型化する不純物、例えば、Sbを拡散させてp型Si基板2の表面に高不純物濃度(10^{19}cm^{-3} 以上)のn+埋込層3を形成し、さらにその上にエピタキシャルSi層21を形成する〔図20〕。

【0098】(2) 次に、エピタキシャルSi層21の表面を酸化し、表面にSi酸化膜(以下、単に酸化膜という)22を形成し、さらに、その上にSi窒化膜23を堆積する。その後、ホトリソグラフィ及びエッチングにより、各素子を分離するための溝27を、n+埋込層3に達しない深さに設け、さらに、溝27の内側に露出したSiを酸化して溝内酸化膜24を形成する〔図21〕。

【0099】(3) 次に、nMOSFET間のウエルを接続するためのp型半導体層を形成するために、p型層を作らない領域のみをホトレジスト25でマスクし、Siをp型化する不純物をイオン打ち込み法により導入する。本発明の実施例では、ボロンイオン26を打ち込む。この場合、ボロンイオンは、ホトレジスト25のない部分においても、Si窒化膜23の下には達せず、溝27の底部にのみ打ち込まれる。このときの打ち込みエネルギーとドーズ量とは、溝27の底部からn+埋込層3の上部をp型化することのできる値に設定される〔図22〕。

【0100】(4) この後、ホトレジスト25を削除し、p型Si基板2に達する深い溝を形成した後に、それぞれの溝27に絶縁物、例えば、CVD法によるSi酸化物を充填して、素子分離絶縁層7a、7b、7c、7d、7e、7f、7g、7h及び7i、素子分離絶縁溝8a、8b及び8cを形成し、さらに、Si窒化膜23を除去して、所定の領域に所定の不純物をイオン打ち込みすることによりnMOSFETに対するpウエル5c、5a及び5b、pMOSFETに対するnウエル6a、6b及び6cを形成する。同時に、縦型バイポーラトランジスタをも作製するため、コレクタ引き出し層13aを形成する。その後、熱処理を行うことにより、前記ウエル及びコレクタ引き出し層を活性化すると共に、前述でイオン打ち込みされたボロンを拡散活性化させて、p型半導体層9a、9b、9c及び9dを形成する〔図23〕。

【0101】(5) 次に、MOSFET用のゲート酸化

膜29を形成した後、ポリSi30を膜付けする。このポリSi30は、MOSFETのゲート電極とバイポーラトランジスタのベース引き出し電極になるものである。ポリSi30の導電型は、MOSFETに対しては、n型でもp型でもよい。本発明の実施例のバイポーラトランジスタはnpnであるため、ベース引き出し電極としてはp型が要求される。そこでポリSi30の導電型はp型とする方が簡単である。但し、ポリSi30の導電型をMOSFETではn型に作り分けることも可能である〔図24〕。

【0102】(6) ポリSi30とゲート酸化膜29とをホトレジストを使用し選択的にエッチングすることにより、MOSFETのゲート電極11a、11b、11c、11d及び11eとバイポーラトランジスタのベース電極12aとを加工する。但し、この状態のベース電極の形状はまだ完全なものではない〔図25〕。

【0103】(7) ホトレジストを使用して選択的に不純物イオンを打ち込む処理を複数回、少なくとも反対導電型の半導体層を生成するための異なる不純物イオンを打ち込む2回の処理を行うことによりMOSFETのソース・ドレインを形成する。これにより、nMOSFETに対してn型のソース・ドレイン32a、32b、32c及び32dが、pMOSFETに対してはp型のソース・ドレイン33a、33b、33c及び33dが形成される〔図26〕。

【0104】(8) バイポーラトランジスタの真性ベース及びエミッタを形成するために層間絶縁膜34を膜付けし、真性ベース15a及びエミッタ領域の窓あけ加工をする。この窓35をあけることにより、ベース引出し電極12aの形状が規定される〔図27〕。

【0105】(9) 次に、真性ベース15aとベース引き出し電極12aとの接続部36をポリSiを使用して形成し、さらに、エミッタ電極17aとの層間絶縁層37を設けた後にエミッタ電極17aを形成する。その後、エミッタ電極17aからn型の不純物(例えばAs)を拡散させエミッタ16aを形成する。最後にパッシベーション膜38を被着し、メタル電極39を設けることにより、図14に示す構造の半導体装置を完成させる〔図28、図29〕。

【0106】前述した製造工程は、本発明の第6の実施例を製造するとして説明したが、図22の工程において、イオン打ち込みのエネルギーとドーズ量とを変えれば、第9の実施例、すなわち、図17の構造を作製することができる。また、図22の工程におけるイオン打ち込みを行わず、図23の時点でイオン打ち込みによって所定の領域に深いp+層を形成すれば、第10の実施例、すなわち、図18の構造を実現することができる。

【0107】また、図12による製造方法の説明では、素子分離絶縁層(7a~7i)の形成方法として、エッチングによってSiの中に溝を作り、そこに酸化膜等の

絶縁物を充填する方法を示したが、本発明は、既に知られているように、LOCOS (Local Oxidation of Silicon) 法を用いることもできる。この場合、LOCOS酸化する前に、所望の領域にボロンをイオン打ち込みすることによって、ウエルを接続するためのp型半導体層を形成することができる。

【0108】

【発明の効果】以上説明したように本発明によれば次のような効果を得ることができる。

【0109】同種の素子の間の絶縁層の下に、素子を形成するウエルと同じ導電型の半導体層を、ウエルと該ウエルと異なる導電型の半導体層との接合位置よりも深く設けることにより、その半導体層の抵抗値を下げることができ、かつ、ウエル間を電気的に接続することができるため、ウエル電位を共通にすることができる。

【0110】この結果、素子の特性の均一化を図ることができる。

【0111】この構造は、素子が形成されるウエルを浅く形成することが可能であるため、ウエルの横方向の広

がりを抑えることができ、異種間の素子分離幅も短くすることが可能になる。

【0112】また、素子間絶縁層の下に、ウエルと同じ導電型であり、かつ、ウエルよりも抵抗率の小さい半導体層を設けることにより、前述と同様な効果を得ることができる。

【0113】また、ウエルと同じ導電型であり、かつウエルよりも抵抗率の小さい半導体層を素子間絶縁層の下に設けるばかりでなく、ウエルの下部にまで引き延ばした場合にも、同様な効果を得ることができる。

【0114】また、素子間の分離溝を溝加工した後に、イオン打ち込み法等で所定の領域にウエルと同種の導電型を与える不純物を導入し、そのイオン打ち込みのエネルギー、ドーズ量の条件を適宜設定することにより、絶縁層の下にウエルと同じ導電型の半導体層を、ウエルと該ウエルと異なる導電型の半導体層との接合位置よりも深く、あるいは、ウエルよりも抵抗率を小さくして設けることができる。

【手続補正書】

【提出日】平成4年12月21日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明する図である。
 【図2】本発明の第1の実施例を説明する図である。
 【図3】本発明の第1の実施例を説明する図である。
 【図4】本発明の第1の実施例を説明する図である。
 【図5】本発明の第2の実施例を説明する図である。
 【図6】本発明の第2の実施例を説明する図である。
 【図7】本発明の第2の実施例を説明する図である。
 【図8】本発明の第3の実施例を説明する図である。
 【図9】本発明の第3の実施例を説明する図である。
 【図10】本発明の第4の実施例を説明する図である。
 【図11】本発明の第4の実施例を説明する図である。
 【図12】本発明の第5の実施例を説明する図である。
 【図13】本発明の第5の実施例を説明する図である。
 【図14】本発明の第6の実施例を説明する図である。
 【図15】本発明の第7の実施例を説明する図である。
 【図16】本発明の第8の実施例を説明する図である。
 【図17】本発明の第9の実施例を説明する図である。
 【図18】本発明の第10の実施例を説明する図である。
 【図19】本発明の第11の実施例を説明する図である。

【図20】本発明の第6の実施例の製造工程を説明する図である。

【図21】本発明の第6の実施例の製造工程を説明する図である。

【図22】本発明の第6の実施例の製造工程を説明する図である。

【図23】本発明の第6の実施例の製造工程を説明する図である。

【図24】本発明の第6の実施例の製造工程を説明する図である。

【図25】本発明の第6の実施例の製造工程を説明する図である。

【図26】本発明の第6の実施例の製造工程を説明する図である。

【図27】本発明の第6の実施例の製造工程を説明する図である。

【図28】本発明の第6の実施例の製造工程を説明する図である。

【図29】本発明の第6の実施例の製造工程を説明する図である。

【符号の説明】

5a～5c pウエル

6a～6c nウエル

7a～7i 素子分離絶縁層、

9a～9d、90a～90d、900 p+層、

41a、41b nMOSFET

42a、42b pMOSFET

45a バイポーラトランジスタ

【手続補正2】

【補正対象書類名】図面

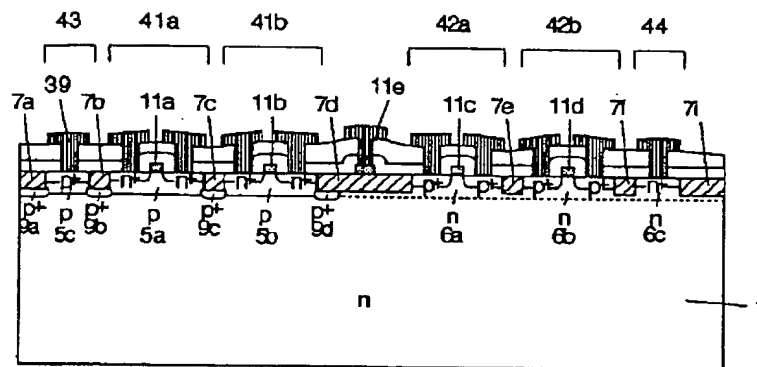
【補正対象項目名】全図

【補正方法】変更

【補正内容】

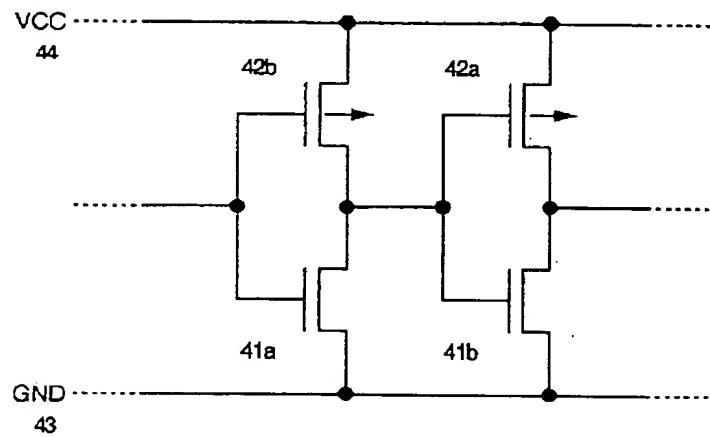
【図1】

図1



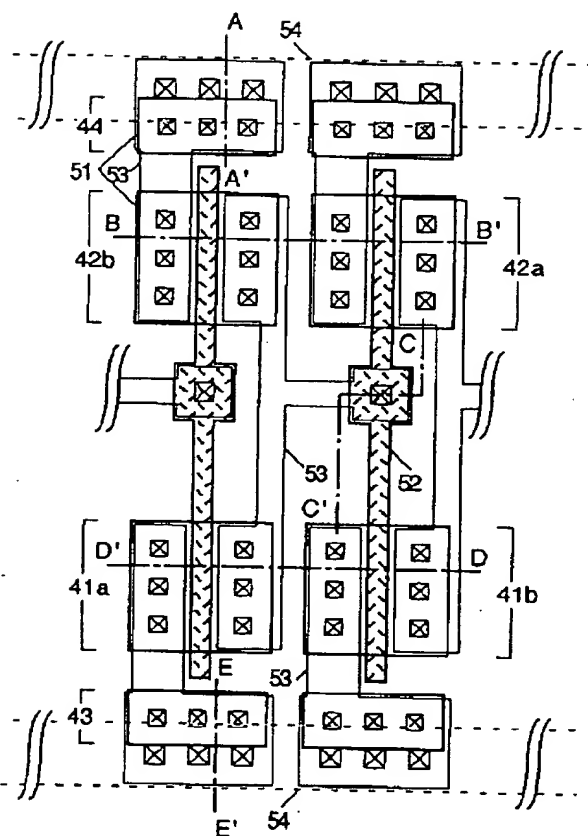
【図3】

図3



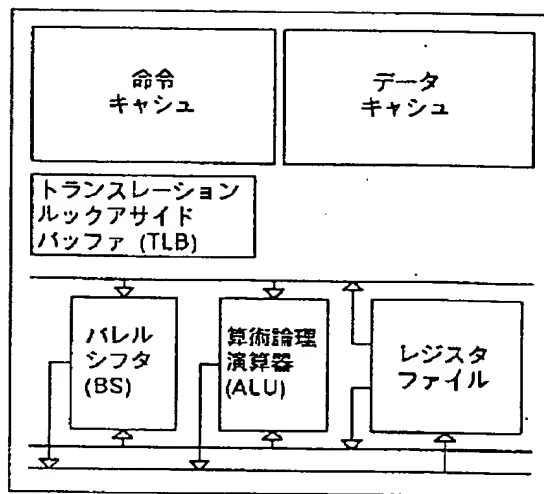
【図2】

図 2



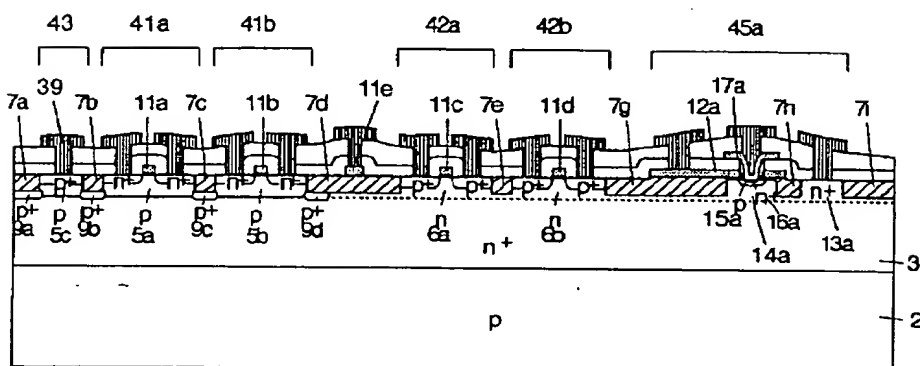
【図4】

図 4



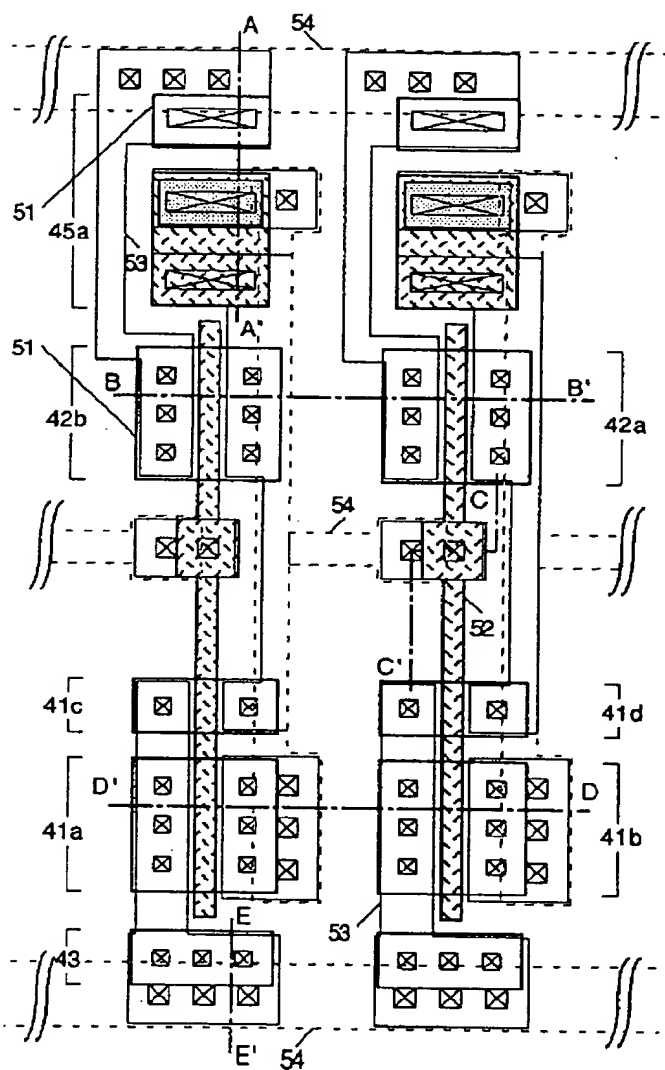
【図5】

図 5



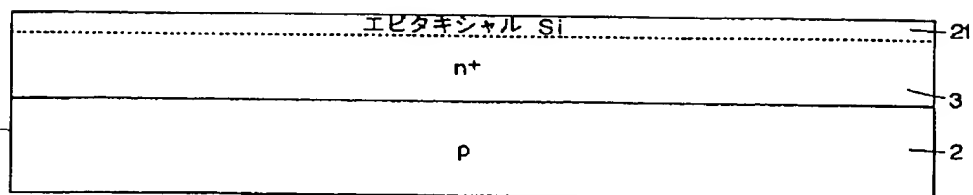
【図6】

図 6



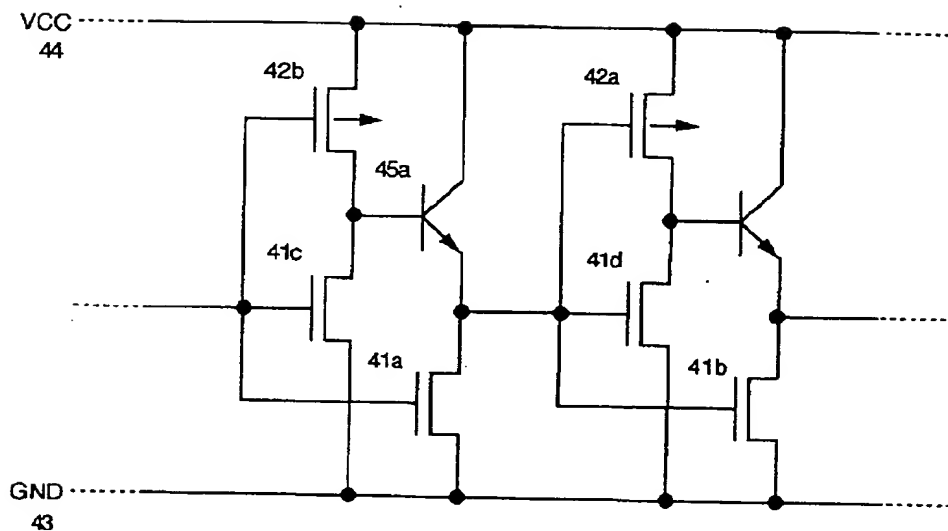
【図20】

図 20



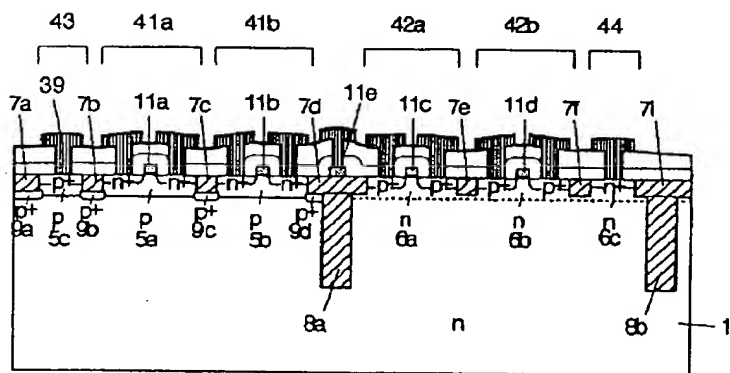
【図7】

図 7



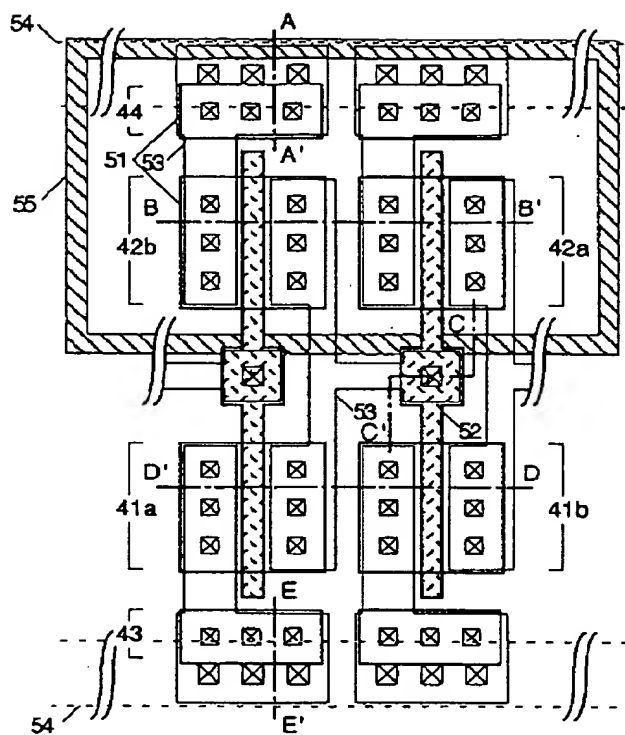
【図8】

図 8



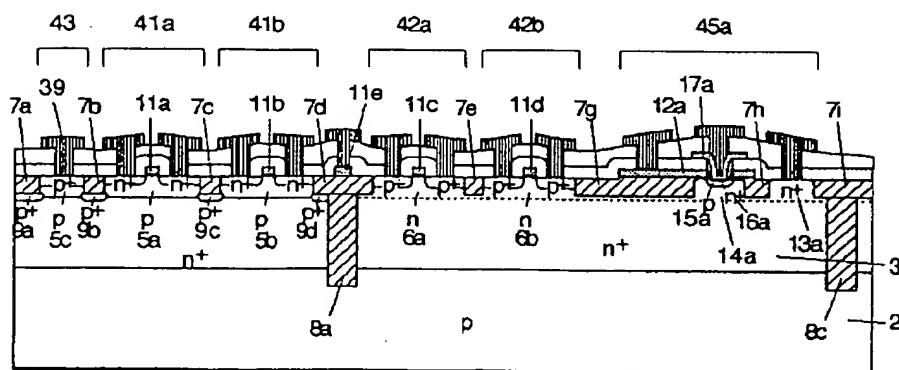
【図9】

図 9



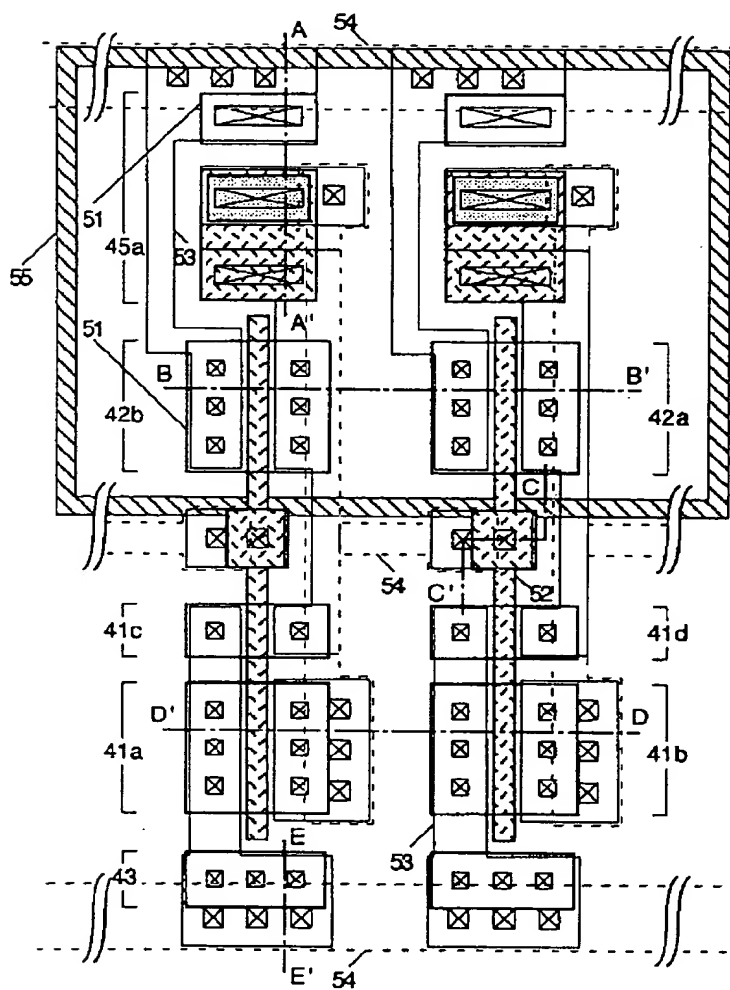
【図10】

図 10



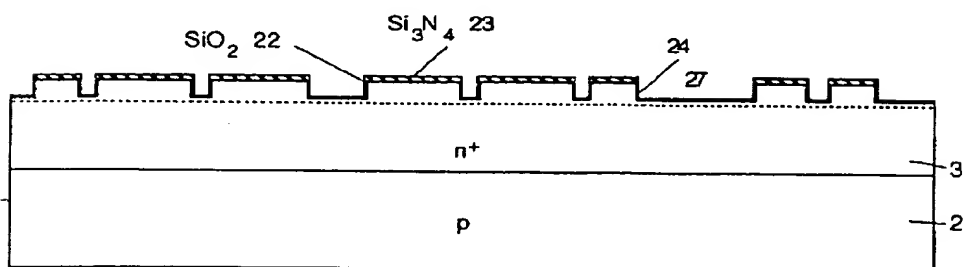
【図11】

図 1 1



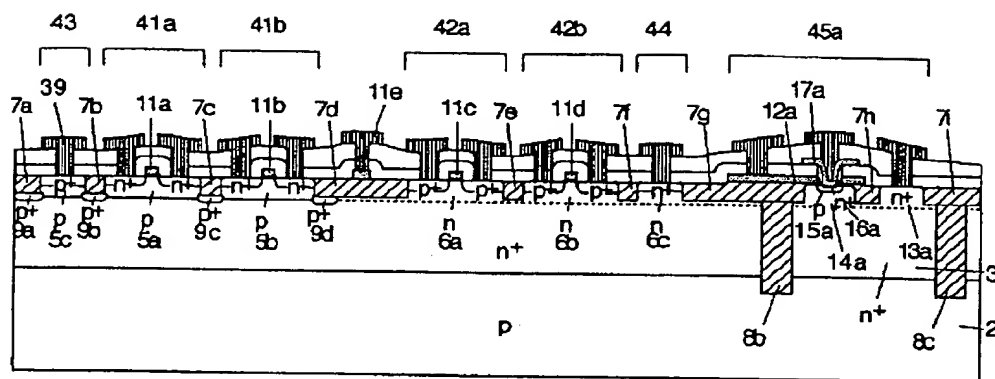
【図21】

図 2 1



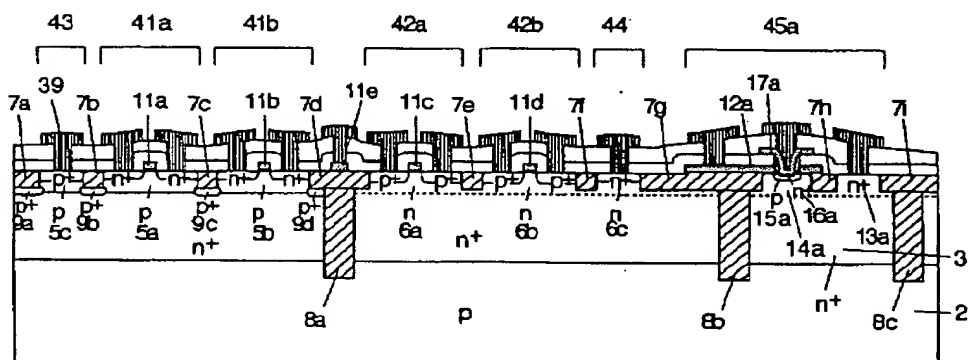
【图 1 2】

图 1 2



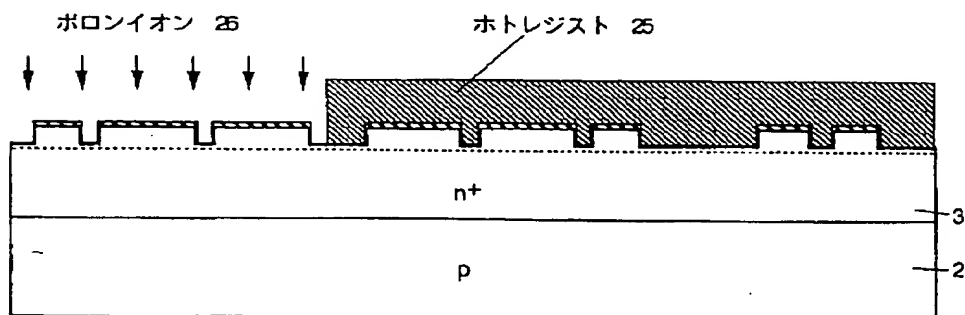
【図 14】

图 14



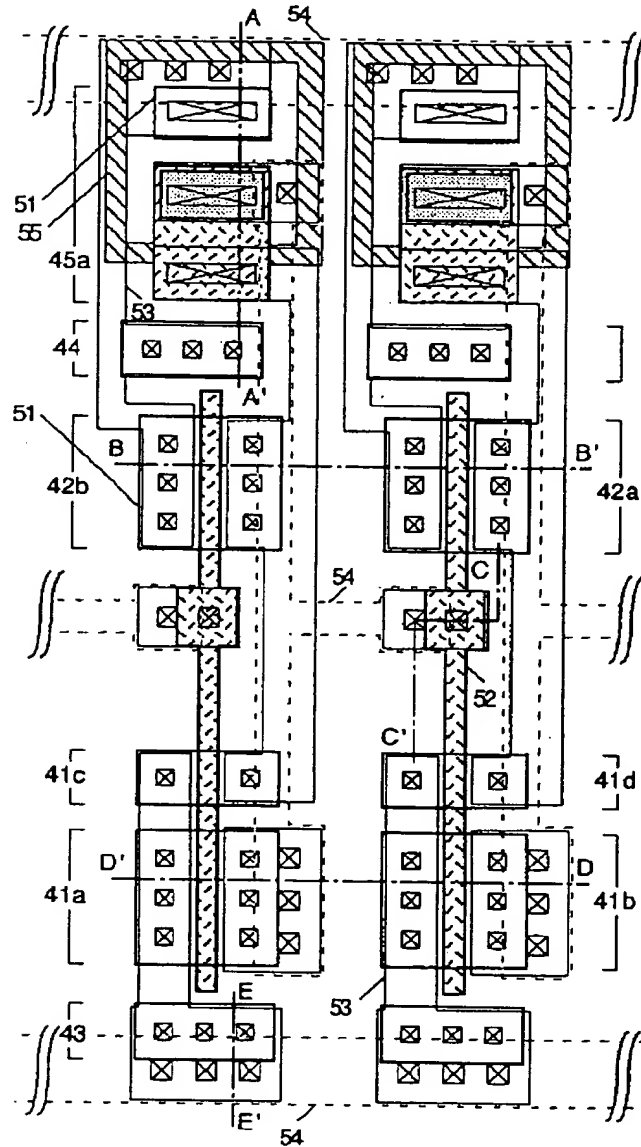
【图 2 2】

图 2 2



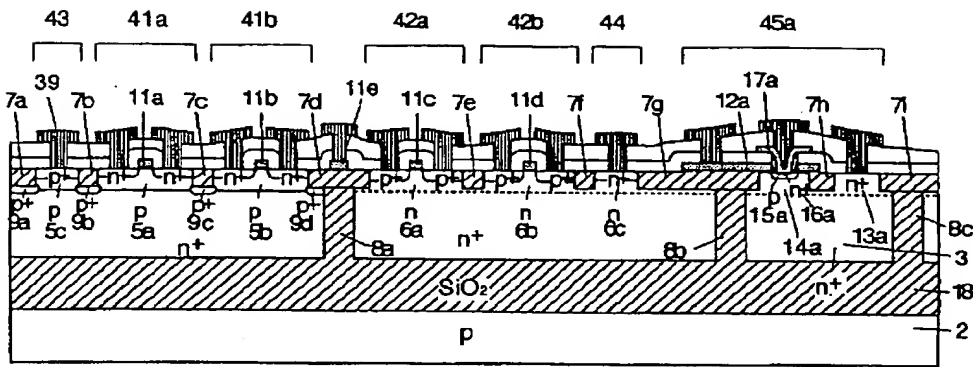
【図13】

図 13



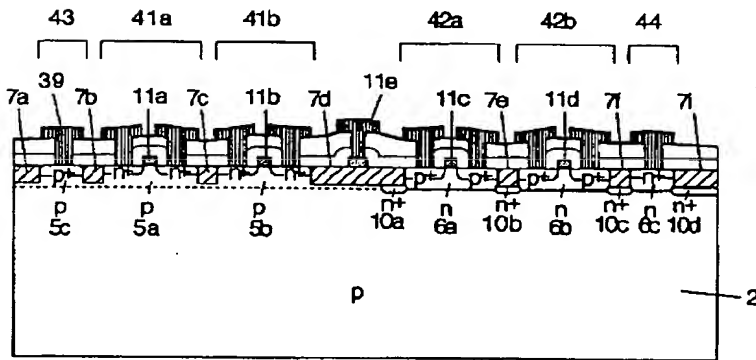
【図15】

図 1 5



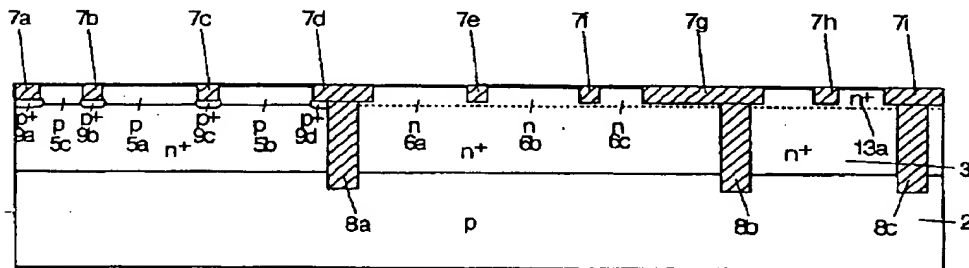
【図16】

図 1 6



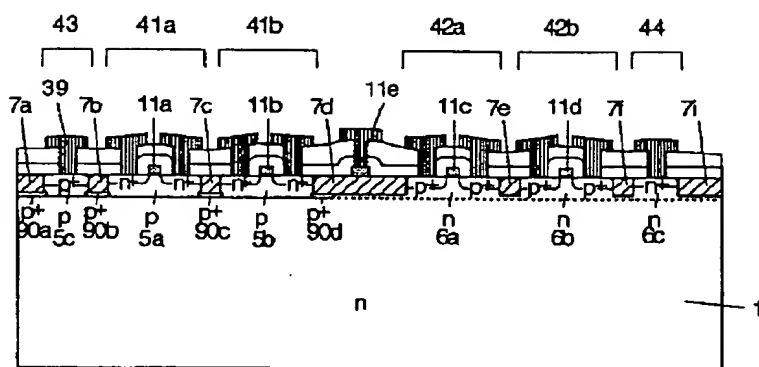
【図23】

図 2 3



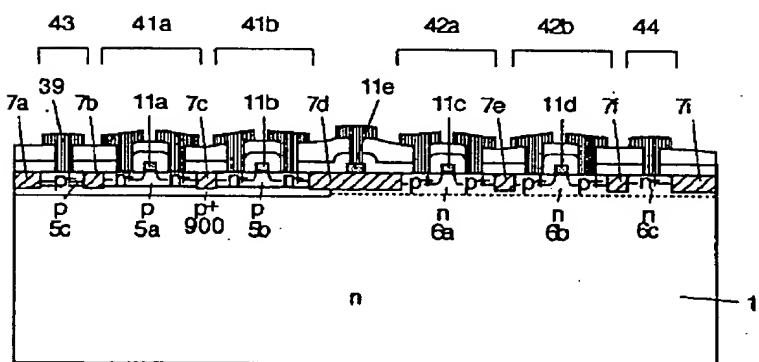
【図17】

図 1 7



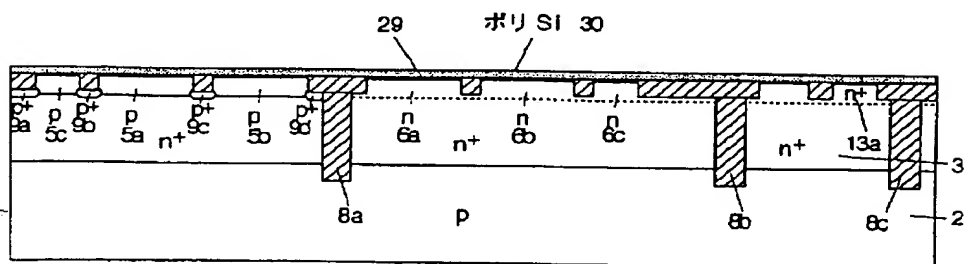
【図18】

図 1 8



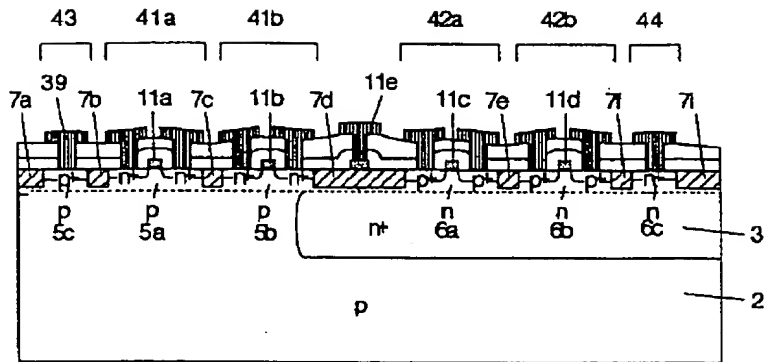
【図24】

図 2 4



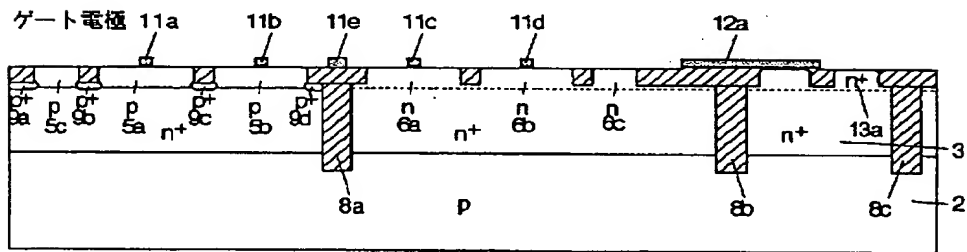
【図19】

図 19



【図25】

図 25



【図26】

図 26

